

日本国特許庁  
JAPAN PATENT OFFICE

TH2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2001年 4月 3日

出願番号  
Application Number:

特願2001-104288

出願人  
Applicant(s):

株式会社日立国際電気

JCE21 U.S. PRO  
09/96100  
10/01/01

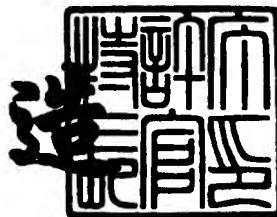


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 6月 20日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕



出証番号 出証特2001-3058473

【書類名】 特許願

【整理番号】 20000037FT

【あて先】 特許庁長官殿

【国際特許分類】 H04J 13/00

H04L 7/00

【発明者】

【住所又は居所】 東京都中野区東中野三丁目14番20号 株式会社日立  
国際電気内

【氏名】 今泉 市郎

【特許出願人】

【識別番号】 000001122

【氏名又は名称】 株式会社日立国際電気

【代理人】

【識別番号】 100093104

【弁理士】

【氏名又は名称】 船津 暢宏

【電話番号】 03-3571-1109

【選任した代理人】

【識別番号】 100092772

【弁理士】

【氏名又は名称】 阪本 清孝

【電話番号】 03-3571-1109

【手数料の表示】

【予納台帳番号】 041715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2001-104288

【包括委任状番号】 0015261

【包括委任状番号】 0015260

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スペクトル拡散信用相関回路

【特許請求の範囲】

【請求項1】 スペクトラム拡散された受信信号から相関出力を得るスペクトラム拡散信用相関回路において、

前記受信信号をアナログ信号からデジタル信号に変換してサンプリングするA/D変換器と、

前記A/D変換器からの出力を記憶するメモリ部と、

シフトの転送速度が可変であり、前記メモリ部からの入力信号を特定の速度でシフトさせつつ出力する入力信号レジスタと、

必要なユーザ数分用意され、生成された拡散符号をシフトさせつつ出力する拡散符号レジスタと、

前記入力信号レジスタから出力された入力信号と前記拡散符号レジスタから出力された拡散符号とを、前記サンプリング速度の特定数倍で乗算して加算する積和演算部と、

前記メモリ部からの入力信号の同一位相に複数ユーザが前記特定数より多く存在する場合に、前記積和演算部における前記複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、前記入力信号レジスタにおける1サンプルのシフトの転送速度を制御し、その後1シンボル内で遅れた時間を補うまでの間、同一位相にユーザが前記特定数より少なく存在する場合に、前記転送速度を前記特定の速度より速くする制御を行い、同一位相のユーザ数に応じて前記積和演算部に出力される拡散符号を選択する制御を行う制御部とを有することを特徴とするスペクトラム拡散信用相関回路。

【請求項2】 A/D変換器が、複数の入力信号に対応して複数設けられ、

メモリ部が、前記複数のA/D変換器に対応して複数設けられ、

入力信号レジスタが、前記複数のメモリ部に対応して複数設けられ、

前記複数の入力信号レジスタからの出力を選択するセレクタ部を設け、

積和演算部が、前記セレクタ部で選択された入力信号と拡散符号レジスタから出力された拡散符号とをサンプリング速度の特定数倍で乗算して加算することを

特徴とする請求項1記載のスペクトラム拡散信用相関回路。

【請求項3】 制御部が、各入力信号レジスタにおけるシフトタイミングをずらすよう制御し、

セレクタ部の代わりに前記入力信号レジスタから異なったタイミングで出力される入力信号を保持するレジスタを設け、

積和演算部が、前記レジスタに保持された入力信号と拡散符号レジスタから出力された拡散符号とをサンプリング速度の特定数倍で乗算して加算することを特徴とする請求項2記載のスペクトラム拡散信用相関回路。

【請求項4】 スペクトラム拡散された受信信号から相関出力を得るスペクトラム拡散信用相関回路において、

前記複数の受信信号をアナログ信号からデジタル信号に変換してサンプリングする複数のA／D変換器と、

出力するタイミングの速度が可変であり、前記複数のA／D変換器からの出力を記憶すると共に選択された入力信号を特定のタイミングの速度で出力する入力信号用メモリと、

複数種類の拡散符号を記憶すると共に選択された拡散符号を出力する拡散符号用メモリと、

前記入力信号用メモリで選択出力された入力信号と前記拡散符号用メモリで選択出力された拡散符号とを、前記サンプリング速度の整数倍で乗算して加算する積和演算部と、

前記入力信号用メモリに記憶された入力信号と対応する前記拡散符号用メモリに記憶された拡散符号とを前記積和演算部に出力するタイミングを制御し、前記入力信号用メモリに入力される入力信号の同一位相に複数ユーザが前記特定数より多く存在する場合に、前記積和演算部における前記複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、前記入力信号用メモリからの出力タイミングの速度を制御し、その後1シンボル内で遅れた時間を補うまでの間、同一位相にユーザが前記特定数より少なく存在する場合に、前記入力信号用メモリからの出力タイミングの速度を前記特定のタイミングの速度より速くする制御を行い、同一位相のユーザ数に応じて前記積和演算部に出力される拡散符

号を選択する制御を行う制御部とを有することを特徴とするスペクトラム拡散通信用相関回路。

【請求項5】 入力信号レジスタが、データの書き込み速度が可変であり、前記メモリ部からの入力信号を特定の速度で順に書き込みながら出力し、

拡散符号レジスタが、必要なユーザ数分用意され、生成された拡散符号を巡回シフトさせつつ出力し、

制御部が、入力信号レジスタにおける書き込み位置に応じて前記拡散符号レジスタにおける巡回シフトを制御することを特徴とする請求項1記載のスペクトラム拡散通信用相関回路。

【請求項6】 積和演算部が、入力信号と拡散符号とを乗算する乗算部と、乗算結果を順次段階的に加算する加算部とを備え、

前記加算部における段階的加算途中の複数の出力を部分相関出力として選択出力可能であり、

制御部が、前記拡散符号の拡散率に応じて前記加算部での部分相関出力を選択することを特徴とする請求項1乃至4記載のスペクトラム拡散通信用相関回路。

【請求項7】 積和演算部が、入力信号と拡散符号とを乗算する乗算部と、乗算結果を順次段階的に加算する加算部とを備え、

制御部が、拡散符号の拡散率に応じて、加算部における段階的加算を行う加算器に対してリセットを行うことを特徴とする請求項1乃至4記載のスペクトラム拡散通信用相関回路。

【請求項8】 積和演算部が、入力信号と拡散符号とを乗算する複数の乗算器で構成される乗算部と、前記乗算部における特定数の乗算器を単位として加算した部分相関を出力するブロック加算部を複数設け、

制御部が、前記拡散符号の拡散率に応じて前記ブロック加算部からの部分相関出力を選択し、選択された部分相関出力が複数ある場合には、前記選択された部分相関出力を加算することを特徴とする請求項1乃至4記載のスペクトラム拡散通信用相関回路。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、移動体通信や無線LAN等におけるスペクトラム拡散通信システムの基地局側受信機で用いられるスペクトル拡散通信用相関器に係り、特に同一位相に多数のユーザが重なった場合にも、構成を増大することなく復調処理でき、且つ拡散率が異なるユーザに対しても、効率よく復調できるスペクトル拡散通信用相関器に関する。

## 【0002】

## 【従来の技術】

一般に移動体通信又は無線LAN等に用いられるスペクトラム拡散(Spread Spectrum: SS)通信システムでは、送信側で送信データに対して狭帯域変調(1次変調)を行い、更に拡散変調(2次変調)を行う、2段階の変調を行ってデータを送信し、受信側では、受信データに対して逆拡散を行って1次変調に戻してから、通常の検波回路でベースバンド信号の再生を行うようになっている。

## 【0003】

そして、従来、スペクトラム拡散された受信信号の相関を得るためにスペクトラム拡散通信用相関器は、逆拡散回路、符号分割多重変調波の復調回路で構成され、具体的に、スペクトラム拡散通信用相関器は、同期捕捉を行い、以降検出された同期位相で相関を取るために、論理回路で構成されたスライディングコリレータ(SC)が用いられている。

## 【0004】

スライディングコリレータは、1ビットの相関器を用いて局発符号系列(拡散符号)を1ビットずつシフトさせ、毎回受信の符号系列との相関を求めるものであり、符号系列長だけのビット数について相関を求めれば、相関がピークとなる同期位相が求められ、同期捕捉が行われるものである。

## 【0005】

ここで、従来の逆拡散回路の1つであるスライディングコリレータについて図10を用いて説明する。図10は、従来のスライディングコリレータの一部分の構成ブロック図である。

従来のスライディングコリレータにおける相関出力を取得する部分は、A/D

変換器31と、乗算器32と、PNコードレジスタ33と、加算器34と、遅延回路35とから構成されている。

## 【0006】

上記従来のスライディングコリレータの各部を説明する。

A/D変換器31は、符号分割多重（Code Division Multiple Access: CDMA）変調されて送信され、アンテナ（図示せず）で受信されたアナログ信号を、デジタル信号に変換する高精度のアナログ/デジタル変換器である。

PNコードレジスタ33は、送信側でDMA変調に用いられたのと同じ拡散符号であるPN（Pseudo Random Noise）符号コードについて、拡散符号発生器（図示せず）から発生されたコードを保持し、1ビットずつ出力するレジスタであり、場合によっては拡散符号発生器そのものであっても良い。

## 【0007】

乗算器32は、A/D変換器31から出力されるデジタルの受信データに、PNコードレジスタ33から出力されるPNコードを乗算する乗算器である。

加算器34と遅延要素35は、乗算器32から出力される乗算結果を、1シンボル期間累積加算してその積分値を相関出力として出力するものである。

## 【0008】

従来のスライディングコリレータの動作は、アンテナで受信された受信データのアナログ信号が、A/D変換器31でデジタル信号に変換され、PNコードレジスタ33から出力されるPNコードと乗算器32で乗算され、加算器34と遅延要素35で累積加算されて、1シンボル分の加算結果が相関出力として出力されるようになっている。

そして、乗算器32における乗算のタイミングを1チップずらして位相を変化させながら乗算、累積加算が繰り返され、相関出力がピークとなる同期位相が検出されるようになっている。

## 【0009】

よってスライディングコリレータでは、同期捕捉のためには、例えば、シンボル長をm、チップ数（拡散率又は拡散符号長）をnとすると、1つのタイミングにおける相関値を出力するまでにn回の乗算及び加算を行い、1シンボル分の相

関出力を得るために、これをタイミングをずらしながら  $m$  回繰り返すことになり、  $n \times m$  回の乗算及び加算を行った後に、相関値がピークとなったタイミングが同期位相として検出されることになる。

このとき、例えば、図 10 に示すように、CDMA 变調された 4 M b p s (chip/sec) の受信信号を A/D 変換器 31 で 4 倍オーバーサンプリングした場合には、1 チップに対して 4 回の乗算及び加算を行う必要があり、乗算器 32 及び加算器 34 では、16 M b p s (bit/sec) で動作すればよいことになる。

#### 【0010】

この逆拡散回路としてスライディングコリレータを用いる構成は、比較的簡易でゲート数も少なく、そのため消費電力も少ないというものであるが、特に同期捕捉の場面で用いると、同期捕捉を行うまでの時間は一般的には、1 シンボル分の時間  $\times$  1 シンボル内のチップ数分だけかかるため、相関出力を得るまでに時間がかかるという問題がある。

#### 【0011】

相関出力を得るまでに時間がかかるという問題点を解決する方法として、スライディングコリレータの替わりに、マッチドフィルタ（整合フィル、若しくは Matched Filter : MF）をスペクトラム拡散通信用相関器に用いることが考えられている。

マッチドフィルタは、あるタイミングにおける受信信号と拡散符号との積和演算を一斉に取ることにより、1 シンボル時間内に同期捕捉を行うことができるものである。

#### 【0012】

ここで、従来の逆拡散回路の別の例であるマッチドフィルタの基本構成について、図 11 を用いて説明する。図 11 は、従来のマッチドフィルタ及びその周辺の構成例を示すブロック図である。

従来のマッチドフィルタは、基本的な構成としては、入力信号レジスタ 101 と、拡散符号レジスタ 102 と、乗算部 103 と加算部 104 とを具備する積和演算部 105 とから構成されている。

#### 【0013】

上記従来のマッチドフィルタの各部を説明する。

入力信号レジスタ101'は、複数のサンプルホールド回路（図ではS/H）で構成され、CDMA変調されているアナログの入力信号がA/D変換器3で変換されたデジタル信号を順次取り込んで保持し出力する回路である。

尚、サンプルホールド回路の数は、拡散率（拡散符号長）×オーバーサンプリング数であり、例えば、拡散率が256、オーバーサンプリング数が4の場合には、1024のサンプルホールド回路で構成されることになる。オーバーサンプリング数は、4倍に限らず、2倍でも8倍でも良い。細かな位相検出とその精度が必要な場合はオーバーサンプリング数を増加し、必要ない場合は減少させれば良い。入力信号のビット数は4～10が選択されると考えられ、従って4から10ビットのF/F（フリップ/フロップ回路）を1024個並べる構成が最も一般的である。勿論単なるメモリでもこの機能を満たすことは言うまでもない。この1024個のF/F列に、順次上記サンプル速度（4倍オーバーサンプルの場合には約16MHzのクロック）で入力信号を転送する。従って、1024個の入力信号データが入力レジスタに常時蓄積されるが、これは拡散率の最大256に対しちょうど1シンボル分に相当する。

また、図11では、回路の記載規模の関係からA/D変換器3におけるオーバーサンプリングが2倍の例を示しており、サンプルホールド回路の2つに1つの割合でタップ出力を行うようになっている。例えば、4倍オーバーサンプリングであるなら、サンプルホールド回路の4つに1つの割合で出力を行うようとする。

また、オーバーサンプリングしていても全てのS/H回路からタップ出力して乗算器で乗算する例も存在する。

#### 【0014】

拡散符号レジスタ102は、複数のサンプルホールド回路（図ではS/H）で構成され、拡散符号発生部11から出力される拡散符号であるPN符号（コード）を順次取り込んで保持し出力するレジスタである。尚、サンプルホールド回路の数は、拡散率に対応する数であり、例えば、拡散率が256の場合には、256のサンプルホールド回路で構成されることになる。なお、拡散符号は1ビット

であるので、1ビットのF/F（フリップ/フロップ回路）を256個配置すれば良い。（この場合もメモリで代用可能である。）

また、図11では拡散符号発生器11から出力される拡散符号を保持する拡散符号レジスタ102-1と、乗算部103に拡散符号を出力する拡散符号レジスタ102-0とを別々に設けているが、拡散符号発生器11が1つであれば拡散符号レジスタ102-1から直接乗算部103に拡散符号を出力しても構わない。

#### 【0015】

乗算部103は、複数の乗算器で構成され、入力信号レジスタ101'の各サンプルホールド回路（S/H）で保持されたデジタル信号（複数ビット）に対して拡散符号レジスタ102からのPN符号（1ビット）を乗算するものである。乗算器は、入力信号レジスタ101'のS/H回路のオーバーサンプリング数毎に設けられるので、従って、拡散率256の場合には256個の乗算器となる。乗算器は、制御部10からの指示に従いクロック毎に入力信号レジスタと拡散符号レジスタのデータを乗算するが、制御部10からの指示が無ければ乗算は行わない。

加算部104は、複数の加算器で構成され、乗算部103の各乗算器からの出力を一斉に加算するものである。

尚、図11において、入力信号レジスタ101'における入力信号の取り込みタイミングや拡散符号レジスタ102における拡散符号発生器11からの拡散符号取り込みタイミング、積和演算部105内の各乗算器、各加算器における演算タイミングなどは、全て制御部10"からの制御で行われている。

#### 【0016】

従来の第1のマッチドフィルタの動作は、A/D変換器3でデジタル変換された入力信号が複数のS/H回路で構成される入力信号レジスタ101'に順次保持され、そのS/H回路からの出力と複数のS/H回路で構成される拡散符号レジスタ102から出力される拡散符号とが乗算部103を構成する各乗算器で乗算され、更に各乗算器での乗算結果を加算部104を構成する各加算器で一斉に加算して、加算結果が出力される。その加算結果から相關出力を得るようになっている。

## 【0017】

そして、従来の第1のマッチドフィルタにおける動作速度は、図11に示すように、例えば、CDMA変調された4Mcp/s(chip/sec)の受信信号をA/D変換器3で4倍オーバーサンプリングした場合、16Mb/s(bit/sec)で出力されることになるので、拡散符号発生器11及び拡散符号レジスタ102、各乗算器及び各加算器では、16Mb/s(bit/sec)で動作すればよいことになり、16MHzの相関出力が得られることになる。

## 【0018】

しかしながら、一般的なマッチドフィルタでは、あるタイミングにおける受信信号と拡散符号との積和演算を一斉に行うため、図10と図11とを比較すれば明らかのように、マッチドフィルタ構成の方がハード規模は大きく、例えば上記図10で説明したスライディングコリレータに対して、図11のマッチドフィルタは、1シンボル内のチップ数倍（拡散率倍）のゲート数が必要となり、ゲート規模が増大し、消費電力の増大をもたらすことになる。

## 【0019】

上記説明した従来のスライディングコリレータ又はマッチドフィルタを受信回路の逆拡散回路部分に用いることを考えると、特に、基地局では、複数のユーザ、すなわち複数の拡散符号に対処する必要があり、上記従来のスライディングコリレータ又はマッチドフィルタを基地局で対応する拡散符号数又はユーザ数だけ配置しなければならず、構成がかなり増大する。

## 【0020】

そこで、従来の第1のマッチドフィルタを用いた逆拡散回路において、複数のユーザ、すなわち複数の拡散符号に対処しながら構成を縮小した構成例について、図12を用いて説明する。図12は、従来の複数の拡散符号に対処するためマッチドフィルタ（従来の第2のマッチドフィルタ）及びその周辺の構成例を示すブロック図である。尚、図12では、4種類の拡散符号に対応するための構成例を示している。

従来の第2のマッチドフィルタは、図11に示したマッチドフィルタ（従来の第1のマッチドフィルタ）と同様に、入力信号レジスタ101' と、拡散符号レ

ジスタ102と、乗算部103と加算部104とを具備する積和演算部105とから構成されており、但し、複数のユーザ、すなわち拡散符号に対処するための構成として、複数の拡散符号発生器11と対になるように拡散符号レジスタ102を複数備え（図では、拡散符号レジスタ102-1、…、102-4の4つ）、各拡散符号レジスタ102-1、…、102-4から出力される拡散符号を入れ替えて拡散符号レジスタ102-0に保持するようにして、拡散符号レジスタ102-0からの拡散符号と入力信号とを乗算部103で乗算するようになっている。

尚、図12において、入力信号レジスタ101'における入力信号の取り込みタイミングや拡散符号レジスタ102-1、…、102-4における拡散符号発生器11-1、…、11-4からの拡散符号取り込みタイミング、及び積和演算部105内の各乗算器、各加算器における演算タイミングなどは、全て制御部10"からの制御で行われている。

#### 【0021】

また、従来の第2のマッチドフィルタの動作としては、入力信号レジスタ101'に保持された入力信号に対して、まず、拡散符号発生器11-1から出力される拡散符号レジスタ102-1に保持された拡散符号が拡散符号レジスタ102-0に出力されて積和演算部105で積和演算されて相関出力が成され、続いて拡散符号発生器11-2から出力され拡散符号レジスタ102-2に保持された拡散符号が拡散符号レジスタ102-0に出力されて積和演算部105で積和演算されて相関出力が成され、以降同様にてから、拡散符号発生器11-3から出力され拡散符号レジスタ102-3に保持された拡散符号、拡散符号発生器11-4から出力され拡散符号レジスタ102-4に保持された拡散符号が順に拡散符号レジスタ102-0に出力されて積和演算部105で積和演算されて相関出力が成されてから、入力信号レジスタ101'に次の信号がシフト入力されるようになっている。

#### 【0022】

よって、従来の第2のマッチドフィルタでは、複数のユーザ、すなわち拡散符号に対処するために、乗算部103及び加算部104が入力信号レジスタ101'の動作速度に対して1／ユーザー数（拡散符号数）の高速度で動作する必要がある。

例えば、図12に示すように、拡散符号が4種類の場合、CDMA変調された4Mcp/s(chip/sec)の受信信号をA/D変換器3で4倍オーバーサンプリングした場合、16Mb/s(bit/sec)で入力信号レジスタ101'に出力されることになるので、各拡散符号発生器11及び各拡散符号レジスタ102-1~102-4は、4MHzで動作し、入力信号レジスタ101'における1回のシフトの間に4つの拡散符号との積和演算を行うので、各乗算器及び各加算器では、 $16 * 4 = 64\text{MHz}$ で動作する必要があり、64MHzで相関出力が得られることになる。

#### 【0023】

つまり、第2のマッチドフィルタでは、受信信号をサンプリングした速度よりも高速に積和演算を行い、複数の拡散符号発生器からの拡散符号を切り替えながら積和演算することにより、積和演算部を複数設けることなく、複数のユーザ（拡散符号）の復調出力を得ることができるものであった。

#### 【0024】

一般的にW-CDMAの基地局では、セクタを有しており、周囲360度を6セクタに分割していわゆるハニカム構造で送受信するようになっている。また、アダプティブアンテナを使用しない場合には、各セクタ毎に2つのアンテナが存在し、従って基地局として受信し復調しなければならない信号の本数は、6セクタ、2アンテナ、複素信号I/Q、更にキャリア周波数が複数有るので（通常は4波）その倍数となり、合計 $6 * 2 * 2 * 4 = 96$ にもなる。これらの入力信号からユーザーの同期を保持する為に、あるいは遅延波の検出の為に、更に復調の為に、それぞれマッチドフィルタ(MF)なりスライディングコリレータ(SC)を設けることはハード規模の増大を更に増すことになってしまう。

#### 【0025】

また、基地局として対応するユーザー数はその規模により異なるが、最も一般的な基地局は、1セクタ当たり32ユーザーまでであるので、1基地局の合計は32ユーザー×6セクタ=192ユーザー（正確には192チャネル）となる

ここで、正確には1搬送波当たり32チャネルであり、搬送波は全部で4波あ

るが、搬送波毎にユーザーを処理すれば良いとしてあり、搬送波4波に亘って処理する必要は今の所無いと考える。移動局が通信中搬送波を時間的に取り替えることは考えない。そうすると、192ユーザーを一括して処理する為の信号の本数は、前述したように6セクタ\*2アンテナ\*I/Q2信号の合計24本である

## 【0026】

このように、受信信号から多数のユーザーを一括処理しなければならない基地局の受信回路において、上記第2のマッチドフィルタで用いた積和演算部の動作を入力信号のサンプリングクロック速度に比べて高速化する技術を応用し、スライディングコリレータ又はマッチドフィルタ部分の構成を増大することなく高速化することで対応する技術が提案されている。

## 【0027】

高速スライディングコリレータ又は高速マッチドフィルタを用いることにより、多数ユーザ又は多数信号に対応できるようにする技術については、平成12年7月14日公開の特開2000-196499「スペクトラム拡散信用相関回路」（出願人：国際電気株式会社、発明者：今泉市郎他）がある。

この従来技術は、基本的なスライディングコリレータ又はマッチドフィルタ部分の構成は従来の構成であり、それに入力信号をある程度蓄積するための小規模のメモリを設け、A/D変換された入力信号を制御部の制御によって低速（例えば16MHz）でメモリ（S/H回路）に書き込み、当該S/H回路から高速（例えば1.6GHz）のクロックで読み出して、高速のコリレータ又はマッチドフィルタで拡散符号との積和演算を行うスペクトラム拡散信用相関回路であり、これにより、構成素子数を小規模にして相関を得ることができるものである。

## 【0028】

ここで、特開2000-196499に提案された技術の概略について説明する。

まず、特開2000-196499に提案されたスペクトラム拡散信用相関回路を用いた復調部の具体的かつ基本的な回路構成について、図13を用いて簡

単に説明する。図13は、従来のスペクトラム拡散通信用相関回路を用いた復調部の具体的構成ブロック図である。

従来の復調部は、図13に示すように、アンテナ1-1, 1-2と、RF部2-1, 2-2と、A/D変換器3-1I, 3-1Q, 3-2I, 3-2Qと、メモリ部4-1, 4-2と、高速マッチドフィルタ(MF)5-1, 5-2と、プロファイラ6と、フィンガメモリ7と、RAKE合成部8と、データ及び音声処理部9と、制御部10と、拡散符号発生器11とから基本的に構成されている。尚、図13では、高速MF5-1, 5-2を記載しているが、代わりに高速SC(スライディングコリレータ)を用いてもよいことになっている。

#### 【0029】

次に、図13に示した復調部の各部について具体的に説明する。

アンテナ1は、通常2本(アンテナ1-1, 1-2)用意され、ダイバーシティ受信を行う。ダイバーシティ受信とは、2つのアンテナで同一送信信号を受信し、復調した結果を合成し受信感度の向上を図るものである。

#### 【0030】

RF(Radio Frequency:無線周波数)部2は、各アンテナに対して設けられ、ベースバンド(BB)信号を作成(復調)するものであり、直交検波を行いI成分(同相成分)とQ成分(直交成分)に分離する。

#### 【0031】

A/D変換器3は、RF部2からのBBアナログ信号をデジタル信号に変換する。変換ビット数は4~6ビット必要である。変換周波数は、4倍オーバーサンプリングであればW-CDMA(広帯域CDMA)の場合には16MHzとなる。I/Q信号、アンテナ毎に対し、それぞれ1個のA/D変換器が必要になるが、高速処理が可能であれば、時分割処理を行わせることで1個のA/D変換器で足りることになる。

#### 【0032】

メモリ部4は、制御部10からの指示により、A/D変換器3で変換されたデジタル信号を少なくとも1シンボル分以上であってシンボル単位で取り込んで保持し、それを順次シンボル単位で一斉に高速で読み出すものである。書き込み速

度は、チップ速度の1～4倍程度、読み出し速度は、その10倍以上は必要である。この処理で、いわゆる時間変換とバッファリングを行う。具体的には、少なくとも48シンボル～100シンボル分のメモリ容量が必要である。

#### 【0033】

第1の高速MF5-1は、メモリ部4に保持されているスペクトラム拡散された信号と拡散符号発生器11からの拡散符号を取り込み、その積和演算を1シンボル単位に行う。チップレートに比べ高速動作が行われる。高速動作をすることにより複数のメモリからの情報を極めて高速に処理できるようになるので、干渉キャンセラへの応用が可能になる。

また、第2の高速MF5-2も第1の高速コリレータ5-1と同様の動作を行うが、第2の高速コリレータ5-2の演算結果はプロファイラ6にも出力されるようになっている。

ここで、第1の高速MF5-1及び第2の高速MF5-2として、図12で説明した第2のマッチドフィルタを用いることになる。

#### 【0034】

拡散符号発生器11は、制御部10からの指示により、指定された拡散符号を指定された位相で送出する。尚、拡散符号発生器の替わりに拡散符号を格納するレジスタであってもよい。

#### 【0035】

プロファイラ6は、第2の高速MF5-2からの出力を取り込み演算を行い、パスを特定する。これにより初期同期の段階では、チップ同期、シンボル同期、無線スロット同期、フレーム同期を取ることができ、基地局の特定が可能になる。

また、接続先基地局が決まった通信状態においては、パスの検出を行う。これらの情報は制御部10に送られ、制御部10から第1の高速MF5-1、メモリ部4-1、拡散符号発生器11に指示が出力される。

#### 【0036】

RAKE合成部8は、フィンガメモリ7に取り込まれた第1の高速MF5-1からの相関出力を、パイロットシンボルを用いた位相補正を実施し、その後、複数パスの合成（RAKE合成）を行うものである。

また、RAKE合成部8には、この他、受信信号と周波数を合わせる為のAFC、受信信号と雑音（他信号からの干渉を含む）の割合が現在どうなっているかを測定するSIR測定部なども含まれる。

## 【0037】

データ及び音声処理部9は、誤り訂正を行うため送信側で実施した各種信号処理の逆変換（復調）を行う。これにはデインタリーブ、ビタビ復号、CRCデコーダ、リードソロモン復号（又はターボ復号）、音声CODECなどが存在する。

## 【0038】

図13に示した復調部において、スペクトラム拡散された受信信号を、A/D変換器3において、例えば16MHzのクロックでA/D変換して、メモリ部4に1シンボル分書き込み、100～1000倍の1.6GHz～16GHzのクロックでシンボル単位にデータを複数回読み出すと共に、次の1シンボル分のデータをメモリ部4に書き込みつつ、読み出した1シンボル分のデータを高速MF5で高速演算処理を行うようにしているので、逆拡散処理すべきユーザ数又は信号数が多くてもそれに対応するだけの構成素子を配置することなく、構成素子数を小規模にして低消費電力とし、相関出力を短時間で得ることができるものである。

## 【0039】

現在IMT2000にARIBより提案されている、いわゆるW-CDMAのチップ速度は約4Mcps（正確には3.84Mcps）である。これに対し、W-CDMAが実用化される2001年のLSI製造プロセス（CMOS0.184m）でのクロック周波数は、これよりはるかに高い500MHzから2GHzが予想されている。すなわち、入力信号の周波数に比べはるかに高い処理が可能となるはずである。

## 【0040】

例えば、図11で説明した入力信号のサンプリング速度と積和演算部105の処理速度が等しい第1のマッチドフィルタを用いると、4Mcpsの入力信号がA/D変換器3で16Mbpsのサンプリングクロックで4倍オーバーサンプリ

ングされ、拡散率256の場合には、1024個のS/H回路で構成される入力信号レジスタ101'に順次シフト入力され、1シンボル分のデータが蓄積されて、乗算部103の各乗算器で拡散符号レジスタ102からの拡散符号と乗算され、乗算結果はその後に続く加算器段で加算されて、相関出力すなわち復調信号を取り出す事が出来る。この演算は1クロック毎に行うことが出来るので、1シンボル時間に1024個の相関出力を得る事が可能である。

復調すべきユーザーなどのデータのシンボル位相が分かっている場合の復調処理においては、当該拡散符号と入力レジスタの1シンボル分の入力信号との乗算を1クロック時間（パイプライン処理が可能なので）で行い、その後のクロックで加算演算を行うと、結果的に数クロック後にはそのシンボルの相関出力すなわち復調を行うことが出来るので、1シンボル時間で最大1024個の復調を行うことが出来る。

#### 【0041】

そして、更に図12に示した第2のマッチドフィルタで説明したように、乗算器及び加算器にて構成される積和演算部のクロックの速度を速めれば、複数のユーザーの復調、複数のパスの復調を行うことが出来る。具体的に図12の第2のマッチドフィルタでは、積和演算部のクロック速度を4倍の64MHzにし、拡散符号レジスタを4本用意し、乗算する拡散符号を入れ替えて上記積和演算を行えば、単位時間に4ユーザーの復調を行うことが出来るものであった。これは、データの拡散率を256とすれば、1実シンボル時間（チップレートが3.84Mcpsの場合26.0411s）内に $256 * 4 * 4 = 4096$ シンボル分の復調を実行することが可能になる。

#### 【0042】

この事は基地局が復調機能として1ユーザーあたり8パスを処理するとしても512ユーザーを1つのMFにて対処できることを意味している。勿論MFとしては複素MF構成になっていなければならない。またアンテナダイバーシティを取る為には、ユーザー数として上記半分にしなければならないことは言うまでもない。いずれにせよ標準的な1基地局のユーザー数である192ユーザーを余裕を持って処理可能である。

## 【0043】

チップ速度が4M c p s であるとし、4倍オーバーサンプリングでによって16MHzで入力される入力信号を、マッチドフィルタにおけるクロック速度として例えば160MHzが使用可能となれば、10倍の処理が可能となり、1280ユーザーを1つのMFで対処できることになる。

## 【0044】

また、図12に示した高速マッチドフィルタ100をサーチャ用として用いる場合、図12の構成を2個用意する事により、8ユーザー分の位相検出を常時行なうことが出来る。1基地局として対処するユーザー数が前にも述べたように192ユーザーであるとすると、図12の構成を2個用意したサーチャは、その約1/25の能力を有していることになる。位相検出は、そのユーザーと通信を開始する時に必要であり、位相検出が完了して通信状態となれば必ずしも常時監視する必要はないので、1/25の能力で十分と考えられる。

## 【0045】

以上説明したように、図12に示した第2のマッチドフィルタを複数用いることにより、複数の高速積和演算器ブロック(MF機能)と、複数の入力データレジスタ、及び複数の拡散符号レジスタにより1基地局の復調機能を達成でき、ハード規模を低減することができる。

## 【0046】

## 【発明が解決しようとする課題】

しかしながら、上記従来のスライディングコリレータを用いたスペクトル拡散通信用相関回路では、相関出力が得られるまでに時間が掛かってしまうという問題があり、また、従来のマッチドフィルタを用いたスペクトル拡散通信用相関回路では、構成素子数が多大となり消費電力の増大をもたらすという問題点があった。

更に基地局では処理すべき信号の本数が多く、それぞれにハードを用意したのでは規模が増大し、結果的にコストの上昇をもたらす弊害があった。

## 【0047】

また、特開2000-196499に提案された従来のスペクトラム拡散通信

用相関回路を用いた復調部では、複数ユーザの復調位相が重なった場合、例えば入力信号のサンプリングクロックに対して積和演算のクロックが4倍の高速クロックであれば、4ユーザの重なりまでは処理できるが、それ以上に重なった場合には処理できないという問題点があった。

## 【0048】

本発明は上記事情に鑑みて為されたもので、複数ユーザの復調位相の重なりの度合いに応じて入力レジスタへの書き込み速度を可変にすることによって、構成を増大することなく復調位相の重なった多くのユーザの復調を可能にするスペクトル拡散通信用相関回路を提供する事を目的としている。

## 【0049】

## 【課題を解決するための手段】

上記従来例の問題点を解決するための本発明は、スペクトラム拡散された受信信号から相関出力を得るスペクトラム拡散通信用相関回路において、受信信号をアナログ信号からデジタル信号に変換してサンプリングするA／D変換器と、A／D変換器からの出力を記憶するメモリ部と、シフトの転送速度が可変であり、メモリ部からの入力信号を特定の速度でシフトさせつつ出力する入力信号レジスタと、必要なユーザ数分用意され、生成された拡散符号をシフトさせつつ出力する拡散符号レジスタと、入力信号レジスタから出力された入力信号と拡散符号レジスタから出力された拡散符号とを、サンプリング速度の特定数倍で乗算して加算する積和演算部と、メモリ部からの入力信号の同一位相に複数ユーザが特定数より多く存在する場合に、積和演算部における複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、入力信号レジスタにおける1サンプルのシフトの転送速度を制御し、その後1シンボル内で遅れた時間を補うまでの間、同一位相にユーザが特定数より少なく存在する場合に、転送速度を特定の速度より速くする制御を行い、同一位相のユーザ数に応じて積和演算部に出力される拡散符号を選択する制御を行う制御部とを有するものであり、回路構成を増大させることなく、位相の重なった多くのユーザの復調を可能とすることができます。

## 【0050】

本発明は、上記スペクトラム拡散通信用相関回路において、複数のA/D変換器、メモリ部、入力信号レジスタと、複数の入力信号レジスタからの出力を選択するセレクタ部とを設け、積和演算部が、セレクタ部で選択された入力信号と拡散符号レジスタから出力された拡散符号とをサンプリング速度の特定数倍で乗算して加算するものであり、複数の入力信号についても、回路構成を増大させることなく、位相の重なった多くのユーザの復調を可能とすることができる。

## 【0051】

本発明は、上記スペクトラム拡散通信用相関回路において、制御部が、各入力信号レジスタにおけるシフトタイミングをずらすよう制御し、セレクタ部の代わりに入力信号レジスタから異なったタイミングで出力される入力信号を保持するレジスタを設け、積和演算部が、レジスタに保持された入力信号と拡散符号レジスタから出力された拡散符号とをサンプリング速度の特定数倍で乗算して加算するものであり、セレクタ部の代わりにレジスタの構成にても実現可能である。

## 【0052】

本発明は、スペクトラム拡散された受信信号から相関出力を得るスペクトラム拡散通信用相関回路において、複数の受信信号をアナログ信号からデジタル信号に変換してサンプリングする複数のA/D変換器と、出力するタイミングの速度が可変であり、複数のA/D変換器からの出力を記憶すると共に選択された入力信号を特定のタイミングの速度で出力する入力信号用メモリと、複数種類の拡散符号を記憶すると共に選択された拡散符号を出力する拡散符号用メモリと、入力信号用メモリで選択出力された入力信号と拡散符号用メモリで選択出力された拡散符号とを、サンプリング速度の整数倍で乗算して加算する積和演算部と、入力信号用メモリに記憶された入力信号と対応する拡散符号用メモリに記憶された拡散符号とを積和演算部に出力するタイミングを制御し、入力信号用メモリに入力される入力信号の同一位相に複数ユーザが特定数より多く存在する場合に、積和演算部における複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、入力信号用メモリからの出力タイミングの速度を制御し、その後1シンボル内で遅れた時間を補うまでの間、同一位相にユーザが特定数より少なく存在する場合に、入力信号用メモリからの出力タイミングの速度を特定のタイ

ミングの速度より速くする制御を行い、同一位相のユーザ数に応じて積和演算部に出力される拡散符号を選択する制御を行う制御部とを有するものであり、回路構成を増大させることなく、位相の重なった多くのユーザの復調を可能とすることができる。

#### 【0053】

本発明は、上記スペクトラム拡散通信用相関回路において、入力信号レジスタが、データの書き込み速度が可変であり、メモリ部からの入力信号を特定の速度で順に書き込みながら出力し、拡散符号レジスタが、必要なユーザ数分用意され、生成された拡散符号を巡回シフトさせつつ出力し、制御部が、入力信号レジスタにおける書き込み位置に応じて拡散符号レジスタにおける巡回シフトを制御するものであり、入力信号レジスタで入力信号をシフトさせるのではなく、拡散符号を巡回シフトさせることで、回路における消費電力を抑えることができる。

#### 【0054】

本発明は、上記スペクトラム拡散通信用相関回路において、積和演算部が、入力信号と拡散符号とを乗算する乗算部と、乗算結果を順次段階的に加算する加算部とを備え、加算部における段階的加算途中の複数の出力を部分相関出力として選択出力可能であり、制御部が、拡散符号の拡散率に応じて加算部での部分相関出力を選択するものであり、異なる拡散率にも対応できる。

#### 【0055】

本発明は、上記スペクトラム拡散通信用相関回路において、積和演算部が、入力信号と拡散符号とを乗算する乗算部と、乗算結果を順次段階的に加算する加算部とを備え、制御部が、拡散符号の拡散率に応じて、加算部における段階的加算を行う加算器に対してリセットを行うものであり、異なる拡散率にも対応できる。

#### 【0056】

##### 【発明の実施の形態】

本発明の実施の形態について図面を参照しながら説明する。

尚、以下で説明する機能実現手段は、当該機能を実現できる手段であれば、どのような回路又は装置であっても構わず、また機能の一部又は全部をソフトウェ

アで実現することも可能である。更に、機能実現手段を複数の回路によって実現してもよく、複数の機能実現手段を单一の回路で実現してもよい。

## 【0057】

一般的に、W-CDMA信号の基地局での復調には、受信信号（遅延波を含め）の位相を検出するサーチャとしての機能と、サーチャで検出された位相で実際に受信信号から復調を行う復調機能の2つの機能を満たすことが必要である。

サーチャ機能を実現するスペクトル拡散通信用相関回路としては、当来受信信号としては、ある程度その位相を予知可能なデータチャネル信号と、ほとんどその位相を予知できないランダムアクセスチャネル信号との大きく分けて2種類が存在し、いずれにせよ、遅延波成分の検出はその位相が予め予知できることから、スライディングコリレータ（SC）構成では時間が掛かり、またSCの数を増やすことにより解決しようとするハード規模の増大を招いてしまうため、マッチドフィルタ（MF）を用いて構成することが望まれる。

## 【0058】

また、復調機能を実現するスペクトル拡散通信用相関回路としては、信号の位相（シンボル、無線スロット、フレームのいずれも、及び複数の遅延波についても）が予め判明しており、シンボルの先頭位置から、ある程度正確に拡散符号との積和演算を実施し相関出力を得るものなので、この機能だけを達成するには受信信号の本数が少ない場合にはスライディングコリレータ（SC）構成でも実現可能である。

## 【0059】

上記2つの機能をそれぞれ実現するためには、構成の簡素化を優先するか、処理速度及び処理能力を優先するかで、最適な構成が異なるが、本発明では、時分割では有るが1つの構成で上記2つの機能を達成可能な構成を提案するものである。

## 【0060】

本発明のスペクトル拡散通信用相関回路について説明する前に、本発明のスペクトル拡散通信用相関回路を用いる復調回路について説明する。

本発明のスペクトル拡散通信用相関回路を用いる復調回路は、図13に示した

従来の復調回路と同様で、アンテナ1-1, 1-2と、RF部2-1, 2-2と、A/D変換器3-1I, 3-1Q, 3-2I, 3-2Qと、メモリ部4-1, 4-2と、高速マッチドフィルタ(MF)5-1, 5-2と、プロファイラ6と、フィンガメモリ7と、RAKE合成部8と、データ及び音声処理部9と、制御部10と、拡散符号発生器11とから基本的に構成されている。

そして、本発明は、この高速マッチドフィルタ(MF)5-1, 5-2部分の発明である。

#### 【0061】

まず、本発明の第1の実施の形態に係るスペクトル拡散通信用相関回路について説明する。

本発明の第1の実施の形態に係るスペクトル拡散通信用相関回路によれば、入力信号のサンプリングクロック速度に比べて積和演算部分の演算速度が高速で動作可能なマッチドフィルタを用いて、従来一定速度で入力レジスタに書き込み転送していた入力信号を、同一位相に重なるユーザー数の状況に応じ、入力レジスタへの書き込みあるいは転送の速度を可変にして、同一位相に重なるユーザー数が標準的に処理可能なユーザ数を上回っていても処理可能にできるものである。

#### 【0062】

次に、本発明の第1の実施の形態にかかるスペクトル拡散通信用相関回路の具体的な構成例（本発明の第1のスペクトル拡散通信用相関回路）について、図1を使って説明する。図1は、本発明の第1の実施の形態にかかるスペクトル拡散通信用相関回路の構成ブロック図である。尚、図12と同様の構成をとる部分については同一の符号を付して説明する。

本発明の第1のスペクトル拡散通信用相関回路は、図1に示すように、A/D変換器3と、メモリ部4と、高速マッチドフィルタ100と、拡散符号発生器11と、制御部10とから構成されている。

#### 【0063】

本発明の第1のスペクトル拡散通信用相関回路の各部について説明する。

A/D変換器3は、従来と同様に符号分割多重（Code Division Multiple Access: CDMA）変調されて送信され、アンテナ（図示せず）で受信されたアナ

ログ信号を、デジタル信号に変換する高精度のアナログ／デジタル変換器である。変換ビット数は4～6ビット必要であり、変換周波数は、4倍オーバーサンプリングであればW-C DMA（広帯域C DMA）の場合には16MHzとなる。

メモリ部4は、従来と同様に、制御部10からの指示に従いA／D変換器3で変換されたデジタル信号を少なくとも1シンボル分以上であってシンボル単位で取り込んで保持し、それを順次シンボル単位で一斉に高速で読み出すものである。

#### 【0064】

拡散符号発生器11は、従来と同様に、制御部10からの指示により、指定された拡散符号を指定された位相で送出するものであり、本発明では、標準的に処理可能なユーザ数（拡散符号数）の拡散符号発生器11-1～11-4に加え、更に標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなった場合に拡大可能とする数（図では $\alpha$ ）だけ、拡散符号発生器11を備えておく必要がある。

#### 【0065】

高速マッチドフィルタ100は、従来と同様に、メモリ部4に保持されているスペクトラム拡散された信号と拡散符号発生器11からの拡散符号を取り込み、その積和演算を1シンボル単位に行って相関出力を得るものであるが、積和演算速度がチップレートに比べ高速動作が行われる点と、入力信号の転送速度制御方法及び積和演算部で乗算される拡散符号の切り替え制御方法が、従来とは異なっているものである。

#### 【0066】

本発明の第1のスペクトル拡散通信用相関回路で用いる高速マッチドフィルタ100（第1の高速マッチドフィルタ）の内部構成は、図12に示した従来のマッチドフィルタと同様の入力信号レジスタ101と、複数の拡散符号レジスタ102と、乗算部103と加算部104とを具備する積和演算部105とから構成されている。

#### 【0067】

但し、従来の入力信号レジスタ101'が、S／H回路へデータの転送速度が

入力信号にあわせて固定であったのに対して、本発明の入力信号レジスタ101は、制御部10からの制御の元でS/H回路への転送速度が可変になっている点が異なっている。

## 【0068】

また、本発明の制御部10は、従来の制御部10の機能に加えて、プロファイラ6で検出されたパスの位相情報、すなわち各ユーザの受信タイミング検出結果を入力し、受信タイミングの比較を行って位相が重なったユーザ数を検出し、検出されたユーザ数から入力信号レジスタへのデータ転送速度及び拡散符号レジスタ102-1に設定する拡散符号の切り替えを制御する機能を有している。

具体的には、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなった場合には、入力信号レジスタへのデータ転送速度を落として遅くし、同一サンプリングデータ（入力信号レジスタ101に格納されているデータ）で標準ユーザ数よりも多くのユーザ（拡散符号）との積和演算を行い、その後データ転送速度を落とした影響をキャンセルするために、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも少なくなった状況下では、入力信号レジスタへのデータ転送速度を上げて速くするように制御している。

## 【0069】

本発明の第1のスペクトル拡散通信用相関回路の動作について図13、図2の具体例を用いて説明する。図2は、本発明の第1のスペクトル拡散通信用相関回路における転送速度可変の具体例を示す説明図である。ここで、受信信号は4Mchip/sec（chip/sec）とし、4倍オーバーサンプリングされるため16Mb/sec（bit/sec）でメモリ部4に入力されるものとする。また、積和演算部105は64MHzで動作し、拡散符号発生器11は4台+α配置されているものとする。

本発明の第1のスペクトル拡散通信用相関回路では、具体的には、CDMA変調された4Mchip/sec（chip/sec）の受信信号がA/D変換器3で4倍オーバーサンプリングされて16Mb/sec（bit/sec）で出力され、メモリ部4に格納されていく。

## 【0070】

以降まず、サーチャ用に用いられる第1の高速マッチドフィルタ100の動作について説明する。

メモリ部4に格納された受信信号は、標準転送速度である16MHzでメモリ部4から読み出されて、サーチャ用の高速マッチドフィルタ100、又はサーチャー機能が動作する高速マッチドフィルタ100の入力信号レジスタ101にシフトしながら格納されていき、積和演算部105で積和演算が為されて相関値が出力され、プロファイラ6でバス検出が行われ、検出されたバスの位相情報、すなわち各ユーザの受信タイミング検出結果が制御部10に入力され、制御部10で受信タイミングの比較を行って位相が重なったユーザ数が検出される。

## 【0071】

尚、サーチャー用に用いられる高速マッチドフィルタ100では、本発明の第1の実施の形態の基本である入力信号レジスタの転送速度を可変にする必要はなく、標準転送速度である16MHzで動作すればよい。よって、サーチャー用に用いられる高速マッチドフィルタ100の前段には、メモリ部4がなくても構わない。

また、図1の構成では、積和演算部105がサンプリング速度16MHzの4倍の64MHzで動作するので、4ユーザ分の位相と遅延波の位相を検出できる。更に積和演算部105の動作速度を上げられれば、その分のユーザ分の位相と遅延波の位相検出処理が可能になる。

## 【0072】

次に、復調用に用いられる第1の高速マッチドフィルタ100の動作について説明する。

復調用に用いられる第1の高速マッチドフィルタ100の場合、制御部10の制御で、位相が重なったユーザ数が4ユーザであったとすると、通常はそのまま標準転送速度の16MHzでメモリ部4から読み出すように設定されて、メモリ部4に記憶されている受信信号が入力信号レジスタ101に1シンボル分取り込まれ、まず、拡散符号発生器11-1で発生された拡散符号を拡散符号レジスタ102-1から拡散符号レジスタ102-0に設定して、積和演算部105で64MH

$z$  で積和演算を行い、次に拡散符号発生器 11-2 で発生された拡散符号を拡散符号レジスタ 102-2 から拡散符号レジスタ 102-0 に設定して、積和演算部 105 で 64 MHz で積和演算を行い、同様に拡散符号発生器 11-3 で発生された拡散符号の積和演算、拡散符号発生器 11-4 で発生された拡散符号の積和演算を完了したなら、入力信号レジスタ 101 で入力信号を 1 サンプル取り込みシフト、保持する。

その結果、図 2 (a) に示すように、1.6 MHz で動作する入力信号レジスタ 101 における 1 回のシフト、保持の間（標準時間  $T$ ）に、4 種類の拡散符号による 64 MHz で動作する積和演算が行われ、64 MHz で相関出力が行われることになる。すなわち、入力信号レジスタ 101 に保持された特定タイミングにおけるサンプルに対する積和演算処理時間は  $T$  である。

#### 【0073】

そして、制御部 10 で検出された位相が重なったユーザ数が 4 ユーザを越え、例えば、重なりが 6 ユーザー分（6 個の復調）になった箇所が発生したら、メモリ部 4 からの読み出し速度を標準転送速度 1.6 MHz の例えれば半分の 8 MHz に落とし、入力信号レジスタ 101 に留まる時間として 6 ユーザー（6 個の相関取得 = 6 個の復調）を処理するのに十分な時間（ $2 * T$ ）を提供するようとする。また、その時には、拡散符号レジスタ 102-0 にセットされる拡散符号を 6 種類切り替えるように制御する。

#### 【0074】

その結果、図 2 (b) に示すように、8 MHz で動作する入力信号レジスタ 101 における 1 回のシフト、保持の間（ $2 * T$ ）に、8 種類の拡散符号による 64 MHz で動作する積和演算を行うことができ、64 MHz で最大 8 ユーザ分の相関出力が得られることになる。すなわち、入力信号レジスタ 101 に保持された特定タイミングにおけるサンプルに対する積和演算処理時間は  $2 * T$  で、その間に 8 ユーザ分を処理することになる。例では、6 ユーザなので 6 種類の拡散符号について積和演算を行う。

#### 【0075】

なお、重なるユーザー数が多く転送速度を下げて 1 シンボルに対する処理時間

の延長をした場合には、その影響を取り除くため、例えば、ユーザー数が0（ゼロ）で相関出力の取得をする必要のない場合はメモリ部4からの読み出し速度（転送速度）を64MHzに速めて高速でシフトさせる。また、重なるユーザー数が1ユーザー（1バスの復調）又は2ユーザー（2バスの復調）の場合には、メモリ部4からの読み出し速度を標準転送速度16MHzの2倍の32MHzに切り替え、入力信号レジスタ101に留まる時間として2ユーザー（2個の相関取得=2個の復調）を処理するのに十分な時間（T/2）を提供するようとする。

その結果、図2（b）に示すように、32MHzで動作する入力信号レジスタ101における1回のシフト、保持の間（T/2）に、2種類の拡散符号による64MHzで動作する積和演算を行うことができ、64MHzで最大2ユーザ分の相関出力が得られることになる。すなわち、入力信号レジスタ101に保持された特定タイミングにおけるサンプルに対する積和演算処理時間はT/2で、その間に2ユーザ分を処理することになる。

#### 【0076】

そして、図2（b）に示すように、1回（1サンプルについて）4ユーザ以上を処理できるように転送速度を下げたなら、その分の影響を取り除くために2回転送速度を上げて処理を行い、トータルとして1シンボル分の時間が変化しないようにしている。

図2（b）は、すぐ次のタイミングで重なるユーザ数が標準ユーザ数を下回った場合であるが、1シンボル分の間であれば、どこで転送速度を上げても構わない。

#### 【0077】

尚、図1に示した高速マッチドフィルタ100の場合、1シンボル長（1024）×4（64MHzが16MHzの4倍）=4096で、全体としての処理能力は、最高4096個の相関（8バスで512ユーザー分）を1シンボル時間内に取得する能力を有しているので、上記のように6ユーザが重なっている場合に、最大8ユーザ処理できる転送速度に変更するように少々無駄使いをしても、十分他のタイミングでその影響を取り除くことができる。

#### 【0078】

なお、標準転送速度である 16 MHz で入力信号レジスタ 101 にデータを転送しているときには、上記前段のメモリ部 4 も同じ 16 MHz で書き込み読み出しをすればよいが、転送速度が 16 MHz から 8 MHz になったときには、書き込みは 16 MHz で読み出しを 8 MHz で行うことになる。この場合書き込みのほうが速くなるので、その分余分にメモリを用意する必要が発生する。反対に転送速度が 16 MHz から 64 MHz になった場合は、読み出しを 64 MHz で行い、書き込みは通常と同じ 16 MHz で行えばよい。この場合、メモリ内にデータが無くなってしまえば、16 MHz で読み出し転送速度も 16 MHz のクロックで行うことになる。従って、1 シンボル内のスケジュールを予め行う必要があり、スケジューリングに必要な時間を確保するだけのメモリ容量が必要となる。

メモリ部 4 のメモリ容量は、ユーザの重なりの発生具合でも変化するが、最悪ケースとしても 1 シンボル分有れば十分である。

#### 【0079】

本発明の第 1 の実施の形態にかかるスペクトル拡散信用相関回路によれば、制御部 10 においてプロファイラ 6 で検出されたバスの位相情報、すなわち各ユーザの受信タイミング検出結果を入力し、受信タイミングの比較を行って位相が重なったユーザ数を検出し、検出されたユーザ数が標準のユーザ数よりも多い場合には、復調機能を実現する高速マッチドフィルタにおいて、入力信号レジスタへのデータ転送速度を遅くして、同一のサンプリング信号で積和演算を行う時間を長くして標準よりも多くのユーザについて相関出力を得られるようにするので、位相が重なるユーザ数に対応して高速マッチドフィルタ部分の構成を増大することなく、入力信号レジスタ 101 への転送速度を可変にして制御することによって、効率よく相関出力を得ることができるものである。

#### 【0080】

また、上記スペクトル拡散信用相関回路によれば、位相が重なるユーザ数が標準のユーザ数よりも多く、入力信号レジスタへのデータ転送速度を遅くして、同一のサンプリング信号で積和演算を行う時間を長くした場合には、その後のサンプリングタイミングにおいて、位相が重なるユーザ数が標準のユーザ数よりも少ないタイミングで、入力信号レジスタへのデータ転送速度を速くして、同一の

サンプリング信号で積和演算を行う時間を短くして標準よりも少ないユーザについて相関出力を得られるようにするので、重なったユーザ数が多く転送速度を遅くした影響を、重なったユーザ数が少ないタイミングでキャンセルして1シンボルの処理時間は同一になるようにするので、周辺の構成要素へ影響を与えることなく実現できるものである。

#### 【0081】

次に、第1の実施の形態の各種応用例について説明する。

まず、第1の実施の形態において、2つの入力を1つの高速マッチドフィルタで処理する第2のスペクトル拡散信用相関回路（本発明の第2のスペクトル拡散信用相関回路）について、図3、図4を用いて説明する。図3は、本発明の第1の実施の形態の2つの入力を処理するスペクトル拡散信用相関回路のセレクタ部を用いた場合の構成ブロック図であり、図4は、本発明の第1の実施の形態の2つの入力を処理するスペクトル拡散信用相関回路の入力信号レジスタを用いた場合の構成ブロック図である。尚、図1と同様の構成をとる部分については同一の符号を付して説明する。

本発明の第2のスペクトル拡散信用相関回路は、図3に示すように、2つのA/D変換器3-1、3-2と、2つのメモリ部4-1、4-2と、高速マッチドフィルタ100と、拡散符号発生器11と、制御部10とから構成されている。

#### 【0082】

本発明の第2のスペクトル拡散信用相関回路の各部は、第1のスペクトル拡散信用相関回路の各部と基本的には同様であり、但し、高速マッチドフィルタ100には、2つの入力を処理するための構成が設けられている点が第1のスペクトル拡散信用相関回路と異なるので、高速マッチドフィルタ100を除く部分については説明を省略する。

#### 【0083】

本発明の第2のスペクトル拡散信用相関回路で用いる高速マッチドフィルタ100（第2の高速マッチドフィルタ）の内部構成は、図1に示した第1の高速マッチドフィルタと同様の構成である複数の拡散符号レジスタ102と、乗算部103と加算部104とを具備する積和演算部105とに加え、図3に示すよう

に、第2の高速マッチドフィルタ100の特徴として転送速度が可変である入力信号レジスタ101を2構成設け（第1の入力信号レジスタ101-1、第2の入力信号レジスタ101-2）、第1の入力信号レジスタ101-1又は第2の入力信号レジスタ101-2からセレクトした信号を積和演算部105に供給するセレクタ部108を設けている。

#### 【0084】

また、別の構成例として、図4に示すように、転送速度が可変である入力信号レジスタ101を2構成設け（第1の入力信号レジスタ101-1、第2の入力信号レジスタ101-2）、第1の入力信号レジスタ101-1又は第2の入力信号レジスタ101-2から交互にデータがシフト／保持され積和演算部105に供給する入力信号レジスタ109を設けた構成であっても構わない。

#### 【0085】

本発明の第2のスペクトル拡散通信用相關回路では、受信信号は4Mchip/secで各A/D変換器3に入力され、各A/D変換器3において4倍オーバーサンプリングされて16Mbps(bit/sec)で各メモリ部4に入力されるものとする。また、積和演算部105が64MHzで動作するものとすると、拡散符号発生器11は2台以上配置されているものとする。

そして、通常動作では、各メモリ部4に格納された受信信号は、標準転送速度である16MHzで各メモリ部4から読み出されて、第2の高速マッチドフィルタ100の入力信号レジスタ101-1及び入力信号レジスタ101-2にシフトしながら格納されていく。

そして、まず、第1の入力信号レジスタ101-1の信号がセレクタ部108でセレクトされるか（図3）、又は入力信号レジスタ109に出力保持されて（図4）、第1の拡散符号レジスタ102の拡散符号と積和演算部105で積和演算が為されて相関値が出力され、続いて、第2の入力信号レジスタ101-2の信号がセレクタ部108でされるか（図3）、又は入力信号レジスタ109に出力保持されて（図4）、第1の拡散符号レジスタ102の拡散符号と積和演算部105で積和演算が為されて相関値が出力される。

そして、次に、再度第1の入力信号レジスタ101-1の信号がセレクタ部10

8でされるか(図3)、又は入力信号レジスタ109に出力保持されて(図4)、第2の拡散符号レジスタ102の拡散符号と積和演算部105で積和演算が為されて相関値が出力され、続いて、第2の入力信号レジスタ101-2の信号がセレクタ部108でされるか(図3)、又は入力信号レジスタ109に出力保持されて(図4)、第2の拡散符号レジスタ102の拡散符号と積和演算部105で積和演算が為されて相関値が出力されるように制御部10によって、セレクタ部108及び拡散符号レジスタ102の動作が制御されるようになっている。

よって、図3に示すように、受信信号が4M c p s(chip/sec)でA/D変換器3で4倍オーバーサンプリングされて16M b p s(bit/sec)でメモリ部4に格納され、積和演算部105の動作速度が64MHzである場合は、通常状態で2入力について2ユーザの相関出力が得られることになる。

#### 【0086】

この第2の高速マッチドフィルタ100の最も有効な適応例としては、図13に示した復調部における1つのアンテナからの信号の直交検波後のI成分(同相成分)とQ成分(直交成分)について、それぞれを図3の入力とし、まずI成分(同相成分)について積和演算を行って相関出力を取得し、次に、Q成分(直交成分)について積和演算を行って相関出力を取得する動作を、2つのユーザ(2つの拡散符号)について繰り返すことによって、1サンプル時間に2ユーザのI, Q両成分の相関出力を得ることができる。

積和演算部105の動作速度を更に上げることができれば、より多くのユーザについてI, Q両成分の相関出力を得ることができるものである。

尚、図3又は図4における1つの入力を関連しない2つの入力とした場合には、拡散符号発生器11は、4つ設けて乗算する拡散符号を切り替えるようにしても構わない。

#### 【0087】

そして、図3又は図4に示した構成においても、第1のスペクトル拡散通信用相関回路で説明したのと同様に、制御部10においてプロファイラ6で検出されたバスの位相情報、すなわち各ユーザの受信タイミング検出結果を入力し、受信タイミングの比較を行って位相が重なったユーザ数を検出し、検出されたユーザ

数から入力信号レジスタへのデータ転送速度及び拡散符号レジスタ102-0に設定する拡散符号の切り替えを制御する機能を実現すれば、位相が重なったユーザ数が増大しても、高速マッチドフィルタ部分の構成を増大することなく、入力信号レジスタ101への転送速度を可変にして制御することによって、効率よく相関出力を得ることができるものである。

## 【0088】

尚、図3、図4に示した構成において、入力信号レジスタ101の台数を更に増やし、セレクタ部108の各セレクタ又は入力信号レジスタ109の各S/Hへのタップ数を増やして時分割でセレクト又はシフト保持することによって、I/Q信号の多重処理のみならず、アンテナ数の多重処理等を時分割処理で行うことも可能である。

## 【0089】

次に、第1の実施の形態の複数入力処理の応用例として、多数入力を1つの高速マッチドフィルタで処理する第3のスペクトル拡散信用相関回路（本発明の第3のスペクトル拡散信用相関回路）について、図5を用いて説明する。図5は、本発明の第1の実施の形態の複数入力を処理するスペクトル拡散信用相関回路の構成ブロック図である。尚、図1と同様の構成をとる部分については同一の符号を付して説明する。

本発明の第3のスペクトル拡散信用相関回路は、図5に示すように、複数（図5では4つ）のA/D変換器3-1、3-2、3-3、3-4と、高速マッチドフィルタ100と、拡散符号発生器11と、制御部10とから構成されている。

## 【0090】

本発明の第3のスペクトル拡散信用相関回路の各部は、第1のスペクトル拡散信用相関回路の各部と基本的には同様であり、但し、高速マッチドフィルタ100には、複数の入力を処理するための構成が設けられている点が第1のスペクトル拡散信用相関回路と異なっているので、高速マッチドフィルタ100を除く部分については説明を省略する。

## 【0091】

本発明の第3のスペクトル拡散信用相関回路で用いる高速マッチドフィルタ

100（第3の高速マッチドフィルタ）の内部構成は、図1に示した第1の高速マッチドフィルタと同様の構成である乗算部103と加算部104とを具備する積和演算部105に加え、図5に示すように、第3の高速マッチドフィルタ100の特徴として複数入力に対するメモリ部4と拡散符号レジスタ102とセレクタ部108又は入力信号レジスタ109の機能を兼ね備えた入力信号用メモリ110と、複数の拡散符号レジスタ102の機能を兼ね備えた拡散符号用メモリ111を設けている。

### 【0092】

ここで、入力信号用メモリ110は、制御部10からの制御の元で各A/D変換器3-1、3-2、3-3、3-4からの信号を順次書き込んで記憶し、その中からセレクトされた信号を順に読み出して積和演算部105に出力するメモリである。

一方、拡散符号用メモリ111は、制御部10からの制御の元で拡散符号発生器11から発生される各種拡散符号を書き込んで記憶し、その中からセレクトされた拡散符号を順に読み出して積和演算部105に出力するメモリである。

そして、制御部10は、入力信号用メモリ110への書き込みタイミングに加え書き込み位置（アドレス）をも制御し、また読み込みタイミングに加え読み込み位置（アドレス）をも制御する。同様に制御部10は、拡散符号発生器11における発生拡散符号を指示し、その発生されたか拡散符号を拡散符号用メモリ111に書き込む際の書き込みタイミング及び書き込み位置（アドレス）と、読み込みタイミング及び読み込み位置（アドレス）をも制御するようになっている。

### 【0093】

本発明の第3のスペクトル拡散信用相関回路では、受信信号サンプリング速度に比べて積和演算部105の動作速度が高速であるとすると、拡散符号発生器11で複数の拡散符号を発生させて拡散符号用メモリ111に格納しておき制御部10の制御でセレクトして読み出して出力し、各A/D変換器3で変換されて入力信号用メモリ110に格納された受信信号も制御部10の制御でセレクトして読み出して出力することによって、積和演算部105の演算能力に応じて、複数の入力に対して複数の拡散符号で積和演算を行い、相関出力を得ることができるものである。

また、図5のように、入力信号レジスタ101の代わりに入力信号用メモリ110、拡散符号レジスタ102の代わりに拡散符号用メモリ111を用いることによって、位相の重なるユーザー数などの状況に応じて、柔軟に制御方法を変えて積和演算処理を施すことができる効果がある。

#### 【0094】

そして、図5に示した構成においても、第1のスペクトル拡散通信用相関回路で説明したのと同様に、制御部10においてプロファイラ6で検出されたパスの位相情報、すなわち各ユーザの受信タイミング検出結果を入力し、受信タイミングの比較を行って位相が重なったユーザ数を検出し、検出されたユーザ数から入力信号用メモリ110からのデータ読み込みタイミング（データ読み込み速度、すなわち転送速度）及び拡散符号レジスタ102-1に設定する拡散符号の切り替えを制御する機能を実現すれば、位相が重なったユーザ数が増大しても、高速マッチドフィルタ部分の構成を増大することなく、入力信号レジスタ101への転送速度を可変にして制御することによって、効率よく相関出力を得ることができるものである。

#### 【0095】

尚、拡散符号用メモリ111のメモリ容量が十分大きくとれるのであれば、拡散符号は拡散符号発生器11で発生させるのではなく、全ての可能性を拡散符号用メモリ111（ROM）に予め格納して於いて、復調に用いる拡散符号を読み出して積和演算部105に出力するようにしても構わない。

図5の構成を用いれば、入力信号用メモリ110及び拡散符号用メモリ111に十分な容量と読み出し速度を確保できれば、基地局における復調部において、複数セクタ、2アンテナ、I/Qの全ての入力信号を取り込んで、積和演算部の高速動作で、全ての復調を1つの高速マッチドフィルタ100で行うことも可能になる。

#### 【0096】

本発明の第1の実施の形態にかかるスペクトル拡散通信用相関回路では、入力信号のサンプリング速度に対して、積和演算部分の演算速度が高速で動作可能な高速マッチドフィルタ100を用いて、制御部10の制御の元で、従来一定速度

で入力信号レジスタ101に入力信号を書き込み転送又は入力信号用メモリ110からの読み出していたものを、プロファイラ6で検出されたパスの位相情報から位相が重なったユーザ数を検出し、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなった場合には、入力信号レジスタ101へのデータ転送速度又は入力信号用メモリ110空の読み出し速度を落として遅くして、位相が重なったユーザについて全て拡散符号との積和演算を行って相関出力を取得するので、同一位相に重なるユーザー数が標準的に処理可能なユーザ数を上回っていても処理できる効果がある。

#### 【0097】

また、本発明の第1の実施の形態にかかるスペクトル拡散通信用相関回路では、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなって、入力信号レジスタ101へのデータ転送速度又は入力信号用メモリ110からの読み出し速度を落として遅くした場合には、その後データ転送速度を落とした影響をキャンセルするために、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも少なくなった状況（タイミング）下では、入力信号レジスタ101へのデータ転送速度又は入力信号用メモリ110からの読み出し速度を上げて速くしているので、1シンボル分の相関出力を取得する時間は変化しないように制御しているので、入力信号レジスタ101への転送速度又は入力信号用メモリ110からの読み出し速度を可変にしても、復調部の他の構成要素には影響しないで実現できる効果がある。

#### 【0098】

また、本発明の第1の実施の形態にかかるスペクトル拡散通信用相関回路では、1シンボル時間に最大限取得できる相関出力の数（最大相関値取得数）に対して、実際に基地局の復調で用いられる相関出力数は、かなり余裕があるので、1台の高速マッチドフィルタを復調用とパス検出（サーチャー）用の両方に用いることができる。

また、パス検出用に用いた場合には、マルチパス検出を同時に行う事ができるし、更にメインパスについてE. M. L. (Early, Main, Late)での遅延波に関する相関出力をも取ることも可能である。

## 【0099】

また、携帯電話などの移動機が、移動中に基地局ゾーンをまたぐような場合等に、異なるセクタの現在使用中とは異なるキャリアを受信してしまうような場合に発生するコンプレスモードに対しても、第1の実施の形態の秘術を利用して、シンボル分の転送時間を調整することにより、他のキャリアを受信することが可能になる。

## 【0100】

また、図1、図3、図4では、拡散符号レジスタ102に対応する形で、拡散符号発生器11を設けているが、拡散符号発生器11のクロック速度を4倍にする事により、1台の拡散符号発生器11で順に異なる4ユーザーの拡散符号を発生させ、別々の入力信号レジスタ101-1～101-4に格納するようすれば、拡散符号発生器11部分の回路規模を縮小できる。

更に、基地局の場合、拡散符号のロングコード部分は全てのユーザーに共通であるので、ロングコード部分を共通のメモリ（RAM、ROM）等に蓄積しておく事も可能であり、拡散符号発生器11部分又は拡散符号レジスタ102部分の回路規模を縮小できる。

## 【0101】

これまで説明してきた第1の実施の形態にかかるスペクトル拡散信用相関回路は、積和演算部105の動作速度をサンプリング速度に比べて高速にすることにより、構成を増大することなく複数ユーザの信号を復調できるようにするものであった。ここで、積和演算部105の動作速度を高速化することにより、本発明マッチドフィルタの消費電力はその分増加することになるが、従来に比べ設けなければならないマッチドフィルタの台数を低減できるものであるからして、復調装置全体としては、消費電力の増加にはならないといえる。

また、マッチドフィルタの消費電力は入力信号レジスタ101部分で多くを（構成によって異なるが30%～70%）消費しており、これは入力信号レジスタ101内部に1シンボル数分のS/H回路を設け、しかも16MHzでシフト・保持の動作を行わせている事から生じている。

## 【0102】

この対策として、既に公知例に有るように、拡散符号レジスタを巡回可能な巡回符号レジスタとし、サーチャ用に位相を順にずらしたり、復調用にシンボル位置をあわせるための動作を拡散符号レジスタの内容を巡回させることによって行い、積和演算を行う方式が考案されている。

この場合、符号レジスタ入力信号レジスタ101の内容の変更は1サンプルクロック毎にシフトしながら変更するのではなく、各サンプルクロック毎に順に新しいデータでS/H回路の内容を更新していく、その都度シンボルの開始位置を合わせるために、巡回符号レジスタで拡散符号の内容を回転させてから積和演算を行うようになっている。

この方式では、入力信号レジスタの規模に比べて拡散符号レジスタは、数の点では、1/オーバサンプリング数であるし、また各S/H回路自体も入力信号レジスタでは4から10ビットのF/F（フリップ/フロップ回路）であるのに対して、拡散符号レジスタは1ビットであるから、シフト動作させる回路の回路規模も格段に小さいことになる。また入力信号レジスタにおける消費電力はタップ数分の1、すなわち約千分の一に低減されるので無視できる量になる。

### 【0103】

上記巡回符号レジスタを用いる方式を本発明の第1の実施の形態に適用した第2の実施の形態について説明する。

本発明の第2の実施の形態にかかるスペクトル拡散通信用相関回路は、入力信号レジスタ101へのデータ格納をシフトレジスタではなく、各サンプルクロック毎に順に新しいデータでS/H回路の内容を更新し、その都度シンボルの開始位置を巡回符号レジスタにより拡散符号をシフトさせて合わせてから、積和演算部105の高速動作によって、複数の拡散符号について積和演算を行うもので、制御部10においてプロファイラ6で検出されたバスの位相情報、すなわち各ユーザの受信タイミング検出結果を入力し、受信タイミングの比較を行って位相が重なったユーザ数を検出し、検出されたユーザ数から入力信号レジスタへの更新用の新しいデータの格納速度（データ転送速度）及び拡散符号レジスタ102-0に設定する拡散符号の切り替えを制御する機能を実現すれば、位相が重なったユーザ数が増大しても、高速マッチドフィルタ部分の構成を増大することなく、入

力信号レジスタ101への転送速度を可変にして制御することによって、消費電力を大幅に低減しながら、効率よく相関出力を得ることができるものである。

## 【0104】

次に、第2の実施の形態に係るスペクトル拡散通信用相関回路（本発明の第4のスペクトル拡散通信用相関回路）について、図6を用いて説明する。図6は、本発明の第2の実施の形態に係るスペクトル拡散通信用相関回路の構成ブロック図である。尚、図1と同様の構成をとる部分については同一の符号を付して説明する。

本発明の第4のスペクトル拡散通信用相関回路は、図1に示した第1のスペクトル拡散通信用相関回路と同様に、A/D変換器3と、メモリ部4と、高速マッチドフィルタ100と、拡散符号発生器11と、制御部10とから構成されている。

本発明の第4のスペクトル拡散通信用相関回路の各部は、高速マッチドフィルタ100以外は第1のスペクトル拡散通信用相関回路と同様であるので、ここでは説明を省略する。

## 【0105】

本発明の第4のスペクトル拡散通信用相関回路で用いる高速マッチドフィルタ100（第4の高速マッチドフィルタ）の内部構成は、図1に示した第1のマッチドフィルタと同様の乗算部103と加算部104とを具備する積和演算部105と、拡散符号レジスタ102と、第4の高速マッチドフィルタの特徴部分である入力信号レジスタ101”と、複数の巡回符号レジスタ120とから構成されている。

## 【0106】

第4の高速マッチドフィルタの入力信号レジスタ101”は、複数（一般的には、拡散率×オーバーサンプリング数）のS/H回路130で構成され、制御部10の制御の元に、メモリ部4から1データずつがS/H回路130-1から順にS/H回路130-2、…S/H回路130-mまで格納し、次は、S/H回路130-1に戻ってサイクリックに格納していくものである。

そして、第4の高速マッチドフィルタ100の入力信号レジスタ101”では

、標準的には1サンプリングクロック毎にデータを更新するが、制御部10で検出された位相が重なったユーザ数に応じて、入力信号レジスタへの更新用の新しいデータの格納速度（データ転送速度）を可変にされるようになっている。

## 【0107】

第4の高速マッチドフィルタの巡回符号レジスタ120は、拡散符号を入力信号レジスタ101"におけるシンボル開始位置に合わせて拡散符号レジスタ102に出力するためのレジスタで、演算用巡回符号レジスタ121とロード待ち符号シフトレジスタ122とから構成されている。

ロード待ち符号シフトレジスタ122は、拡散符号発生器11から出力される拡散符号をシフトしながら保持し、1つの拡散符号について指示したなら、演算用巡回符号レジスタ121に出力（ロード）されるのを待っている。

演算用巡回符号レジスタ121は、ロード待ち符号シフトレジスタ122からロードされた拡散符号を制御部10からの制御に従って巡回させて、入力信号レジスタ101"におけるシンボルの開始位置に合わせ、拡散符号レジスタ102に各々出力するものである。

## 【0108】

そして、第4のスペクトル拡散通信用相關回路の制御部10は、通常は、1サンプルクロック毎にメモリ部4に記憶された入力データを入力信号レジスタ101"のS/H回路130に順に格納するよう制御し、シンボル開始位置に合わせて巡回符号レジスタ120の演算用巡回符号レジスタ121を巡回させ、拡散符号レジスタ102を介して積和演算部105で積和演算を実行させる。

そして、プロファイラ6で検出されたバスの位相情報から位相が重なったユーザ数を検出し、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなった場合には、入力信号レジスタへの新しいデータの格納速度（データ転送速度）を落として遅くし、その後データ転送速度を落とした影響をキャンセルするために、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも少なくなった状況下では、入力信号レジスタへの新しいデータの格納速度（データ転送速度）を上げて早くするよう制御している。

## 【0109】

本発明の第4のスペクトル拡散信用相關回路の動作は、メモリ部4に格納された受信信号は、標準転送速度である16MHzでメモリ部4から読み出されて、高速マッチドフィルタ100の入力信号レジスタ101"のS/H回路130-1から順に格納されていき、S/H回路130-mに格納された時点で、拡散符号発生器11からの拡散符号もロード待ち符号シフトレジスタ122に順にシフトしながら格納され、演算用巡回符号レジスタ121にロードされるものとする。

そして、その時点では、入力信号レジスタ101"に保持されているデータと演算用巡回符号レジスタ121から拡散符号レジスタ102を介して出力される拡散符号とが積和演算部105で積和演算が為されて相関値が出力される。

そして次のサンプルタイミングでは、新しい受信データが、メモリ部4から読み出されて、高速マッチドフィルタ100の入力信号レジスタ101"のS/H回路130-1に格納され、シンボルは、S/H回路130-2～S/H回路130-m、S/H回路130-1となり、別の巡回符号レジスタ120の演算用巡回符号レジスタ121で拡散符号が1つ巡回シフトされ、拡散符号レジスタ102を介して出力される拡散符号と入力信号レジスタ101"に保持されているデータとが積和演算部105で積和演算が為されて相関値が出力される。

## 【0110】

そして、制御部10で、プロファイラ6からの検出されたバスの位相情報によって位相が重なったユーザ数が検出され、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなった場合には、入力信号レジスタへの新しいデータの格納速度（データ転送速度）を落として遅くし、位相が重なったユーザ数分だけ積和演算を行ってから、次の受信信号を入力信号レジスタ101"のS/H回路130に格納するように制御している。

## 【0111】

尚、図6は、第2の実施の形態の技術を図1に示したスペクトル拡散信用相關回路に適応した例であるが、図3、図4、図5、図6に対しても同様に第2の実施の形態の技術を適応可能である。

## 【0112】

本発明の第2の実施の形態にかかるスペクトル拡散信用相関回路によれば、入力信号レジスタ101"におけるデータ書き換えは、1つのS/H回路ずつにしてシンボル開始位置をずらし、このずれを巡回符号レジスタ120内で拡散符号を巡回シフトすることによって合わせて、積和演算を行い、位相が重なったユーザ数が標準的に同一位相で処理可能なユーザ数（拡散符号数）よりも多くなった場合には、入力信号レジスタへの新しいデータの格納速度（データ転送速度）をサンプリングクロックの速度よりも落として遅くし、位相が重なったユーザ数分だけ積和演算を行ってから、次の受信信号を入力信号レジスタ101"のS/H回路130に格納するので、位相が重なったユーザ数が増大しても、高速マッチドフィルタ部分の構成を増大することなく、入力信号レジスタ101への転送速度を可変にして制御することによって、消費電力を大幅に低減しながら、効率よく相関出力を得ることができる効果がある。

## 【0113】

これまで説明してきた第1、第2の実施の形態のスペクトル拡散信用相関回路では、拡散率を最大の256として、最大の拡散率に対応できる構成であった。

拡散率は3GPPの仕様書に有るように4～256迄であり、拡散率の違いに対応するためには、スライディングコリレータ（SC）の場合は累積加算の回数を変えるだけでハードは全く同じで対応出来た。

## 【0114】

マッチドフィルタの場合には、2通りの方式にて対処可能である。

最も簡単な第1の方法は、図1に示したスペクトル拡散信用相関回路において、拡散符号レジスタ102の不要部分（拡散率64で有れば残りの192のデータ）は実質的にゼロにするか、又は入力レジスタ101からの信号を不要部分では実質的にゼロにして乗算器に入力する、あるいは不要な乗算器からの出力を加算器に入れないとゼロにする等の対策である。この場合、回路構成は図1と何ら変える必要は無く実現できる。しかも相関出力の得られる場所は、常に1カ所である。

## 【0115】

次に、各種拡散率に対応するための発明である第3の実施の形態にかかるスペクトル拡散信用相関回路について説明する。

本発明の第3の実施の形態にかかるスペクトル拡散信用相関回路は、複数の異なる拡散率に対応するために、各乗算器の乗算結果を全て加算して相関値とするのではなく、拡散率に応じて制限された乗算器の加算結果を持って相関値とすることによって実現するスペクトル拡散信用相関回路である。

#### 【0116】

まず、本発明の第3の実施の形態にかかるスペクトル拡散信用相関回路の第1の構成例（第5のスペクトル拡散信用相関回路）について、図7を使って説明する。図7は、本発明の第3の実施の形態に係るスペクトル拡散信用相関回路の第1の構成例を示すブロック図である。尚、図1と同様の構成をとる部分については同一の符号を付して説明する。

#### 【0117】

本発明の第3の実施の形態にかかるスペクトル拡散信用相関回路の第1の構成例（第5のスペクトル拡散信用相関回路）は、基本的な構成要素としては、図1と同様で、A/D変換器3と、メモリ部4と、高速マッチドフィルタ100' と、拡散符号発生器11と、制御部10' とから構成されている。

本発明の第5のスペクトル拡散信用相関回路の各部は、高速マッチドフィルタ100' 以外の部分は、第1のスペクトル拡散信用相関回路と同様であるので、説明を省略する。

本発明の第5のスペクトル拡散信用相関回路で用いる高速マッチドフィルタ100'（第5の高速マッチドフィルタ）の内部構成は、図1に示した第1のマッチドフィルタと同様の入力信号レジスタ101と、複数の拡散符号レジスタ102と、乗算部103と加算部104とを具備する積和演算部105とに加えて、加算部104における階段状になっている加算器の途中から出力を取り出した部分相関出力を保持する積和演算出力保持部106を有している。

#### 【0118】

また、本発明の第5のスペクトル拡散信用相関回路の制御部10' は、第1のスペクトル拡散信用相関回路の制御部10の機能に加え、拡散率に応じて積

和演算出力保持部106の何れかに保持された相関値を相関出力とする制御を行うようになっている。

## 【0119】

本発明の第5のスペクトル拡散通信用相関回路の動作は、拡散率が最大の256の場合には、拡散符号レジスタ102に拡散符号が設定されたなら、入力信号レジスタ101のデータと拡散符号レジスタ102の拡散符号の積和演算を行って通常通り加算部104における最後の加算器からの出力を相関出力とする。

そして、拡散率が256以外の場合、例えば、128の場合には、拡散符号レジスタ102の256個のS/H回路のうち、例えば、右半分の128個に拡散符号が設定された段階で、入力信号レジスタ101の右半分のデータと拡散符号レジスタ102の右半分の拡散符号の積和演算結果が必要で、加算部104における最後から2番目の下の加算器からの出力を相関出力とすればよい。

同様に、拡散率が例えば、64の場合には、拡散符号レジスタ102の256個のS/H回路のうち、例えば、右1/4の64個に拡散符号が設定された段階で、入力信号レジスタ101の右1/4のデータと拡散符号レジスタ102の右1/4の拡散符号の積和演算結果が必要で、加算部104における最後から3番目の最下の加算器からの出力を相関出力とすればよい。

## 【0120】

図7に示したスペクトル拡散通信用相関回路では、加算部104における各階段状になっている加算器の途中からの出力を積和演算出力保持部106の各S/H回路に格納し、拡散率に対応するS/Hに記憶された加算結果を相関値として採用したが、拡散率に応じて不要な加算結果をリセットする別の構成例について、図8を使って説明する。図8は、本発明の第3の実施の形態に係る第5のスペクトル拡散通信用相関回路の加算部104の別の構成例を示すブロック図である。

第5のスペクトル拡散通信用相関回路の加算部104の別の構成例として、図8に示すように、2段目の加算器にリセット機能を設け、拡散率に基づく外部（制御部10'）からの指示で、必要のない部分の加算器の加算結果をリセットして、常に最終段の加算器からの出力を相関出力として用いるものである。

## 【0121】

例えば、拡散率が128であるとすると、拡散符号レジスタ102の256個のS/H回路のうち、例えば、右半分の128個に拡散符号が設定された段階で、入力信号レジスタ101の右半分のデータと拡散符号レジスタ102の右半分の拡散符号の積和演算結果が必要で、図8における上半分の加算器における加算結果は不要であるので、上半分をリセットするリセット線でリセットを行い、最終段の加算器からの出力を相関出力とすればよい。

同様に、拡散率が64であるとすると、拡散符号レジスタ102の256個のS/H回路のうち、例えば、右1/4の64個に拡散符号が設定された段階で、入力信号レジスタ101の右1/4のデータと拡散符号レジスタ102の1/4の拡散符号の積和演算結果が必要で、図8における上3/4の加算器における加算結果は不要であるので、上3/4をリセットするリセット線でリセットを行い、最終段の加算器からの出力を相関出力とすればよい。

## 【0122】

次に、本発明の第3の実施の形態にかかるスペクトル拡散通信用相関回路の別の構成例（第6のスペクトル拡散通信用相関回路）について、図9を使って説明する。図9は、本発明の第3の実施の形態に係るスペクトル拡散通信用相関回路の第3の構成例を示すブロック図である。尚、図1と同様の構成をとる部分については同一の符号を付して説明する。

## 【0123】

本発明の第3の実施の形態にかかるスペクトル拡散通信用相関回路の第3の構成例（第6のスペクトル拡散通信用相関回路）は、図9に示すように、基本的な構成要素としては、図1と同様で、A/D変換器3と、メモリ部4と、高速マッチドフィルタ100' と、拡散符号発生器11と、制御部10' とから構成されている。

本発明の第6のスペクトル拡散通信用相関回路の各部は、高速マッチドフィルタ100' 以外の部分は、第1のスペクトル拡散通信用相関回路と同様であるので、説明を省略する。

本発明の第6のスペクトル拡散通信用相関回路で用いる高速マッチドフィルタ

100' (第6の高速マッチドフィルタ) の内部構成は、基本的には、図1に示した第1のマッチドフィルタと同様で、入力信号レジスタ101と、複数の拡散符号レジスタ102と、積和演算部105' とから構成されている。

但し、積和演算部105' の内部が、複数（具体的には、最大拡散率数）の乗算器で構成される乗算部103と、特定数の乗算器出力を2つずつ階段状に加算して部分相関出力を出力する複数のブロック加算部107と、更に複数のブロック加算部107からの出力を選択加算する加算器（図示せず）で構成されている。

図9に示した例では、最大拡散率256に対応して設計された高速マッチドフィルタ100'において、16個の乗算器の出力を2つずつ階段状に加算していく16個のブロック加算部107を設けた構成である（n=16）。

#### 【0124】

そして、本発明の第6のスペクトル拡散通信用相関回路の制御部10'は、第1のスペクトル拡散通信用相関回路の制御部10の機能に加え、拡散率に応じてブロック加算部107から出力される部分相関出力値を拡散率に応じて選択的に加算して相関出力とする制御を行うようになっている。

#### 【0125】

本発明の第6のスペクトル拡散通信用相関回路の動作は、拡散率が最大の256の場合には、拡散符号レジスタ102に拡散符号が設定されたなら、入力信号レジスタ101のデータと拡散符号レジスタ102の拡散符号の積和演算を行って、16個のブロック加算部107から出力される16部分相関出力を全て加算して相関出力とする。

そして、拡散率が256以外の場合、例えば、128の場合には、拡散符号レジスタ102の256個のS/H回路のうち、例えば、右半分の128個に拡散符号が設定された段階で、入力信号レジスタ101の右半分のデータと拡散符号レジスタ102の右半分の拡散符号の積和演算結果が必要で、右半分の8個のブロック加算部107から出力される16部分相関出力を加算して相関出力とする。

同様に、拡散率が例えば、16の場合には、拡散符号レジスタ102の256

個のS/H回路のうち、例えば、右1/16の16個に拡散符号が設定された段階で、入力信号レジスタ101の右1/16のデータと拡散符号レジスタ102の右1/16の拡散符号の積和演算結果が必要で、際右側のブロック加算部107から出力される16部分相関出力を相関出力とする。

## 【0126】

図9の構成において、もし拡散率が16より小さい場合、例えば拡散率8と4の場合には、拡散符号レジスタの不要部分を0としておけば、最右側のブロック加算部107から出力される16部分相関出力を全体相関出力としても問題ないことになる。

## 【0127】

従って、図9では、16個の乗算器による16部分相関出力としたが、32部分相関出力を出力するブロック加算部107を8個設けてもよいし、64部分相関出力を出力するブロック加算部107を4個設けてもよいし、128部分相関出力を出力するブロック加算部107を2個設けても良い。

また、図9に示したスペクトル拡散通信用相関回路を応用し、積和演算部105'内がより高速に動作可能となれば、例えば、乗算部103内を16個の乗算器で構成し、ブロック加算部107-1で16個の乗算結果を加算して16部分相関出力をを行う構成として、入力信号レジスタ101及び拡散符号レジスタ102の各データを16個ずつセレクタなどで切り替えて入力し、拡散率に応じた数だけ16部分相関出力を加算して最終的な相関出力を取得するようにもできる。

## 【0128】

なお拡散率が128の場合は、実質的に256の拡散率のチャネル（ユーザー）を2本使うことになり、全体のチャネル数は減少する。

これは、拡散符号が、拡散率に応じたツリー構造の系列体系を持っており、例えば、256の拡散率の符号は、128の拡散率の符号を単に2個並べて生成するからである。従って256のチャネルと128のチャネルを同系列で同時に形成しようとすると、区別が付かなくなる。（別体系の符号を使えば、256と128は区別できるので、混在可能）従って、今まで256で送信していたユーザが、同系列の128で送信しようとすると、もう一人の256で送信していたユ

ーザの128と同様であるので、直交性が保てなくなつて通信できなくなる。この結果総合として、高速データ通信のために拡散率の少ないチャネルを使用しようとすると、対応できるユーザ数（チャネル数）が減少することになる。

従つて、拡散率の少ないチャネル（ユーザ）が増えることは、復調すべきチャネルが減少することを意味し、本発明のスペクトル拡散信用相関回路における余裕度を更に大きくする方向に働くことになる。

#### 【0129】

尚、本発明の第3の実施の形態にかかるスペクトル拡散信用相関回路において、図7又は図9のように構成すれば、同一クロックにて拡散率が256より小さい（例えば128）異なつた符号系列のユーザー、パスが重なつた場合、同一拡散符号発生器11から複数系列の拡散符号（128の拡散符号2種類）を発生させるようにすれば、同一タイミングの積和演算による各部分相関出力（128の場合には2つ）で、異なるユーザの復調を同時に実行可能なメリットを有することになる。

#### 【0130】

また、図7又は図9のスペクトル拡散信用相関回路では、復調の際に拡散率が128である時に、拡散符号発生器11から拡散率128の同一符号を2回発生させて拡散符号レジスタ102に格納すれば、入力信号レジスタ101に1024個のデータが格納された状態で、一斉に全ての乗算器で受信データと拡散符号との乗算を行えば、加算部104における最後から2番目の、下の加算器からの出力と上の加算器からの出力をそれぞれ相関出力として取り出せば、2回分の相関（復調）が1度に行なうことができる。

#### 【0131】

上記説明した本発明のスペクトル拡散信用相関回路によれば、制御部10又は制御部10'が、1シンボル時間内に全ての復調処理とパスサーチ動作を行えるようなスケジュールを設定して、入力信号の入力信号レジスタ101への転送速度の可変制御、前段メモリの制御、拡散符号レジスタの切り替え制御、乗算器の制御、部分相関出力の制御を行うので、制御回路の仕事量は増加するが、DSP等で実現すれば、構成を増大することなく、複雑な制御動作も実現できる効果

がある。

【0132】

また、上記説明では主に、入力信号レジスタ101レジスタとしてF/F構成のS/Hを用いる場合を示したが、図5のように本格メモリ(SRAM、DRAM)を使用することが可能であるので、大幅にハード規模(LSIの占有面積)を低減可能である。

また、将来LSIの演算速度が高速になればなるほど、ほぼ同じハード規模で積和演算部分の処理量を増大する事ができる。

【0133】

また、以上詳細に説明したようなスペクトル拡散信用相關回路を実現し、少ないゲート規模でCDMAの復調回路を構成できれば、近い将来の移動体端末用のLSIを開発することも可能となる。

【0134】

【発明の効果】

本発明によれば、制御部が、メモリ部からの入力信号の同一位相に複数ユーザが特定数より多く存在する場合に、積和演算部における複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、入力信号レジスタにおける1サンプルのシフトの転送速度を制御し、その後1シンボル内で遅れた時間を補うまでの間、同一位相にユーザが特定数より少なく存在する場合に、転送速度を特定の速度より速くする制御を行い、同一位相のユーザ数に応じて積和演算部に出力される拡散符号を選択する制御を行うスペクトラム拡散信用相關回路としているので、回路構成を増大させることなく、位相の重なった多くのユーザの復調を可能とすることができる効果がある。

【0135】

本発明によれば、複数のA/D変換器、メモリ部、入力信号レジスタと、複数の入力信号レジスタからの出力を選択するセレクタ部とを設け、積和演算部が、セレクタ部で選択された入力信号と拡散符号レジスタから出力された拡散符号とをサンプリング速度の特定数倍で乗算して加算する上記スペクトラム拡散信用相關回路としているので、複数の入力信号についても、回路構成を増大させるこ

となく、位相の重なった多くのユーザの復調を可能とすることができる効果がある。

#### 【0136】

本発明によれば、制御部が、各入力信号レジスタにおけるシフトタイミングをずらすよう制御し、セレクタ部の代わりに入力信号レジスタから異なったタイミングで出力される入力信号を保持するレジスタを設け、積和演算部が、レジスタに保持された入力信号と拡散符号レジスタから出力された拡散符号とをサンプリング速度の特定数倍で乗算して加算する上記スペクトラム拡散信用相関回路としているので、セレクタ部の代わりにレジスタの構成にても実現できる効果がある。

#### 【0137】

本発明によれば、制御部が、入力信号用メモリに記憶された入力信号と対応する拡散符号用メモリに記憶された拡散符号とを積和演算部に出力するタイミングを制御し、入力信号用メモリに入力される入力信号の同一位相に複数ユーザが特定数より多く存在する場合に、積和演算部における複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、入力信号用メモリからの出力タイミングの速度を制御し、その後1シンボル内で遅れた時間を補うまでの間、同一位相にユーザが特定数より少なく存在する場合に、入力信号用メモリからの出力タイミングの速度を特定のタイミングの速度より速くする制御を行い、同一位相のユーザ数に応じて積和演算部に出力される拡散符号を選択する制御を行うスペクトラム拡散信用相関回路としているので、回路構成を増大させることなく、位相の重なった多くのユーザの復調を可能とすることができる効果がある。

#### 【0138】

本発明は、上記スペクトラム拡散信用相関回路において、積和演算部が、入力信号と拡散符号とを乗算する複数の乗算器で構成される乗算部と、乗算部における特定数の乗算器を単位として加算した部分相関を出力するブロック加算部を複数設け、制御部が、拡散符号の拡散率に応じてブロック加算部からの部分相関出力を選択し、選択された部分相関出力が複数ある場合には、選択された部分相関出力を加算するものであり、異なる拡散率にも対応できる。

## 【0139】

本発明によれば、入力信号レジスタが、データの書き込み速度が可変であり、メモリ部からの入力信号を特定の速度で順に書き込みながら出力し、拡散符号レジスタが、必要なユーザ数分用意され、生成された拡散符号を巡回シフトさせつつ出力し、制御部が、入力信号レジスタにおける書き込み位置に応じて拡散符号レジスタにおける巡回シフトを制御する上記スペクトラム拡散信用相関回路としているので、入力信号レジスタで入力信号をシフトさせるのではなく、拡散符号を巡回シフトさせることで、回路における消費電力を抑えることができる効果がある。

## 【0140】

本発明によれば、積和演算部が、入力信号と拡散符号とを乗算する乗算部と、乗算結果を順次段階的に加算する加算部とを備え、加算部における段階的加算途中の複数の出力を部分相関出力として選択出力可能であり、制御部が、拡散符号の拡散率に応じて加算部での部分相関出力を選択する上記スペクトラム拡散信用相関回路としているので、異なる拡散率にも対応できる効果がある。

## 【0141】

本発明によれば、積和演算部が、入力信号と拡散符号とを乗算する乗算部と、乗算結果を順次段階的に加算する加算部とを備え、制御部が、拡散符号の拡散率に応じて、加算部における段階的加算を行う加算器に対してリセットを行う上記スペクトラム拡散信用相関回路としているので、異なる拡散率にも対応できる効果がある。

## 【0142】

本発明によれば、積和演算部が、入力信号と拡散符号とを乗算する複数の乗算器で構成される乗算部と、乗算部における特定数の乗算器を単位として加算した部分相関を出力するブロック加算部を複数設け、制御部が、拡散符号の拡散率に応じてブロック加算部からの部分相関出力を選択し、選択された部分相関出力が複数ある場合には、選択された部分相関出力を加算する上記スペクトラム拡散信用相関回路としているので、異なる拡散率にも対応できる効果がある。

## 【図面の簡単な説明】

【図1】

本発明の第1の実施の形態にかかるスペクトル拡散信用相関回路の構成ブロック図である。

【図2】

本発明の第1のスペクトル拡散信用相関回路における転送速度可変の具体例を示す説明図である。

【図3】

本発明の第1の実施の形態の2つの入力を処理するスペクトル拡散信用相関回路のセレクタ部を用いた場合の構成ブロック図である。

【図4】

本発明の第1の実施の形態の2つの入力を処理するスペクトル拡散信用相関回路の入力信号レジスタを用いた場合の構成ブロック図である。

【図5】

本発明の第1の実施の形態の複数入力を処理するスペクトル拡散信用相関回路の構成ブロック図である。

【図6】

本発明の第2の実施の形態に係るスペクトル拡散信用相関回路の構成ブロック図である。

【図7】

本発明の第3の実施の形態に係るスペクトル拡散信用相関回路の第1の構成例を示すブロック図である。

【図8】

本発明の第3の実施の形態に係る第5のスペクトル拡散信用相関回路の加算部104の別の構成例を示すブロック図である。

【図9】

本発明の第3の実施の形態に係るスペクトル拡散信用相関回路の第3の構成例を示すブロック図である。

【図10】

従来のスライディングコリレータの一部分の構成ブロック図である。

【図11】

従来のマッチドフィルタ及びその周辺の構成例を示すブロック図である。

【図12】

従来の複数の拡散符号に対処するためマッチドフィルタ（従来の第2のマッチドフィルタ）及びその周辺の構成例を示すブロック図である。

【図13】

従来のスペクトラム拡散通信用相関回路を用いた復調部の具体的構成ブロック図である。

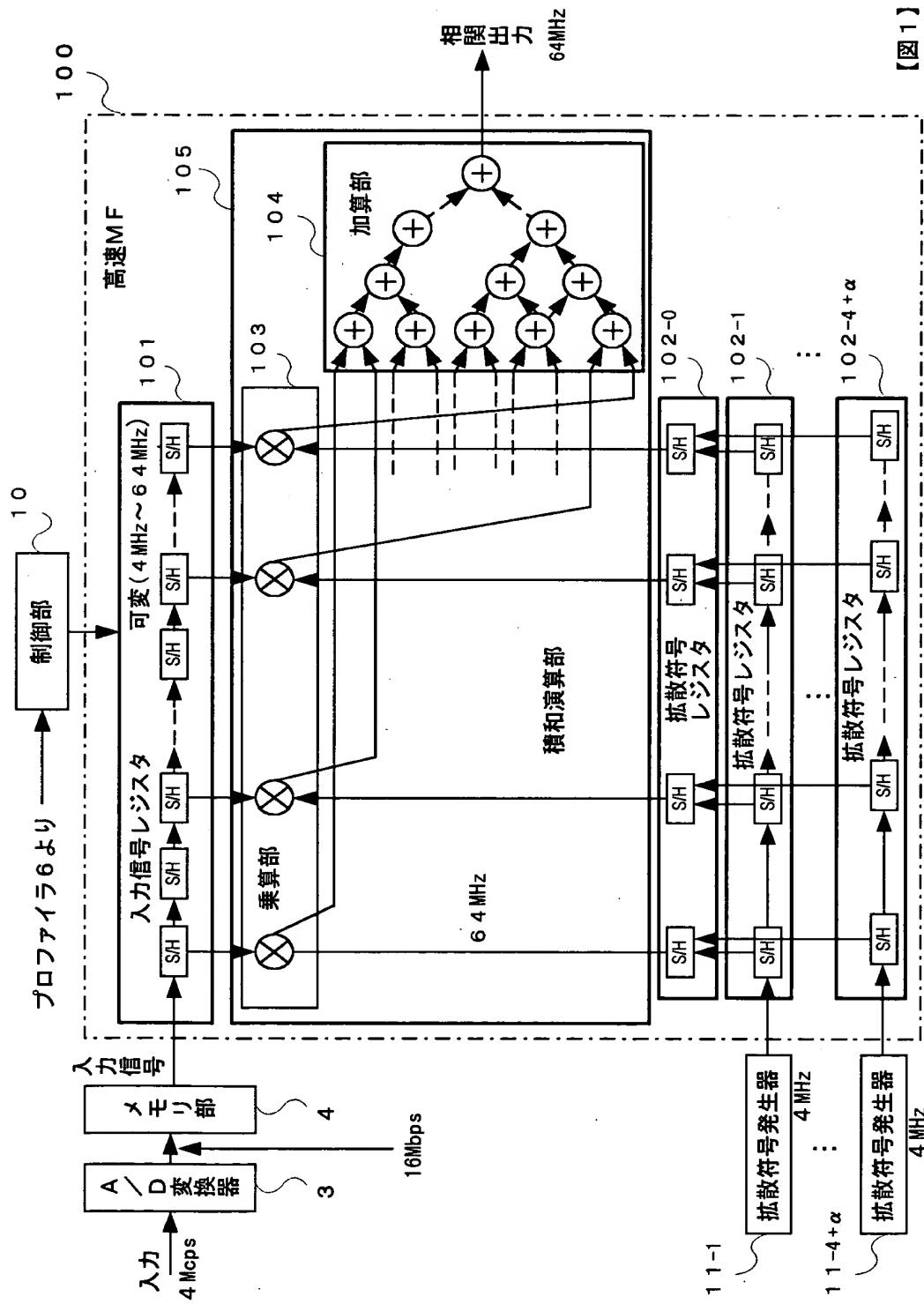
【符号の説明】

1…アンテナ、 2…R F部、 3…A／D変換器、 4…メモリ部、 5…高速マッチドフィルタ、 6…プロファイラ、 7…フィンガメモリ、 8…R A K E合成部、 9…データ及び音声処理部、 10, 10'…制御部、 11…拡散符号発生器、 31…A／D変換器、 32…乗算器、 33…P Nコードレジスタ、 34…加算器、 35…遅延回路、 100, 100'…高速マッチドフィルタ、 101…入力信号レジスタ、 102…拡散符号レジスタ、 103…乗算部、 104…加算部、 105…積和演算部、 106…積和演算出力保持部 106、 107…加算部、 108…セレクタ部、 109…入力信号レジスタ、 110…入力信号用メモリ、 111…拡散符号用メモリ、 120…巡回符号レジスタ、 121…演算用巡回符号レジスタ、 122…ロード待ち符号シフトレジスタ 122、 130…S／H回路

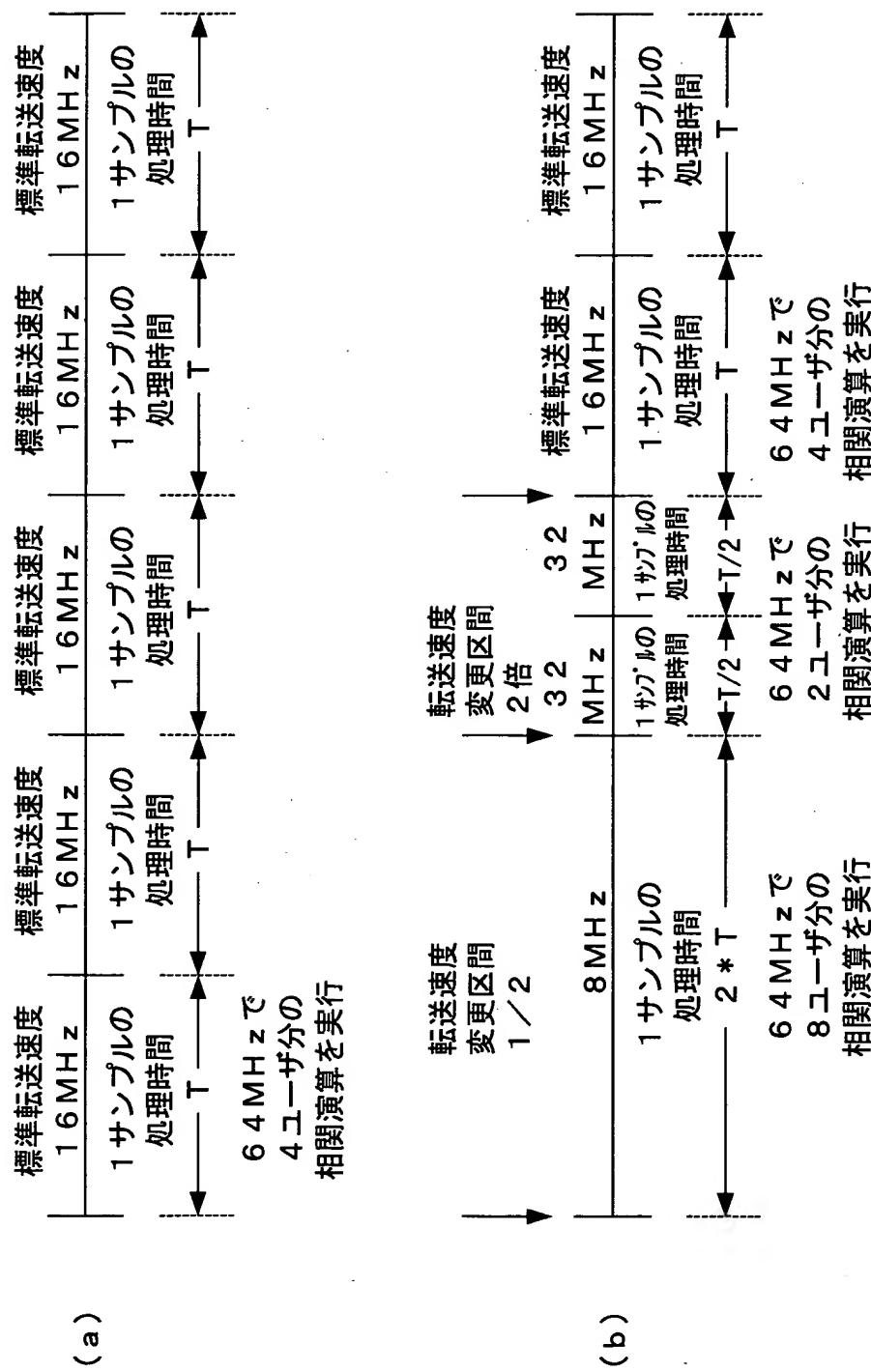
【書類名】

四面

### 【図 1】

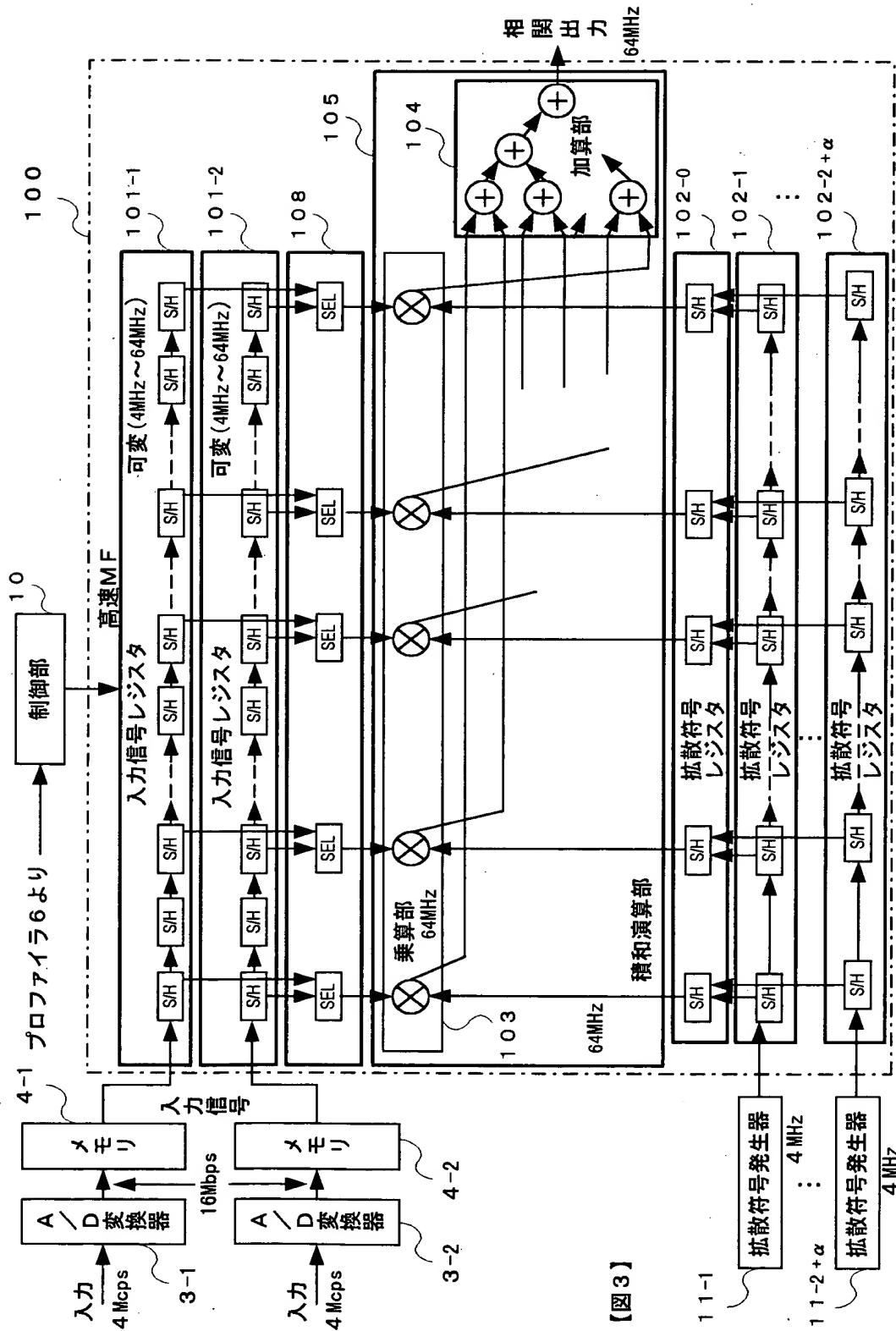


## 【図2】



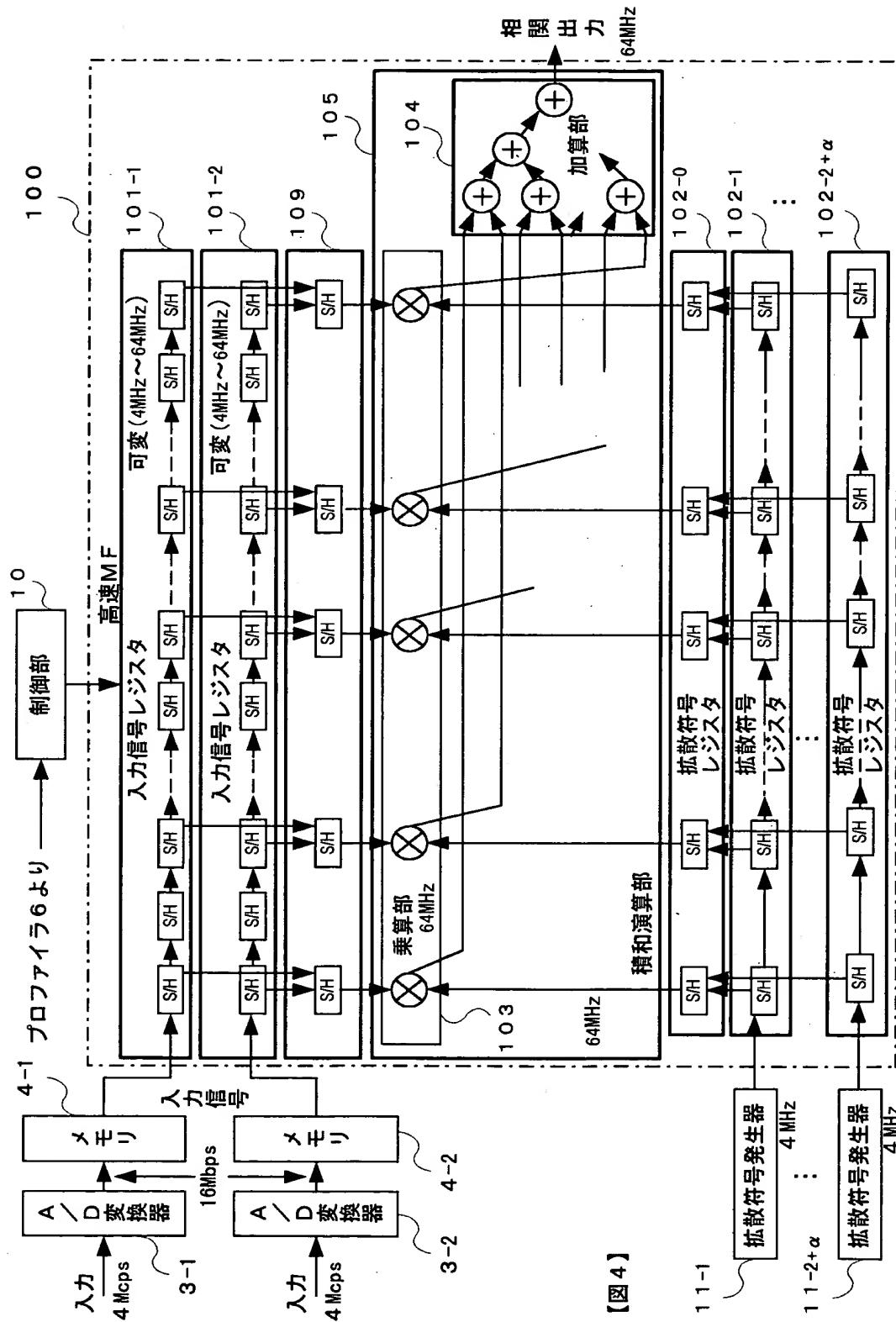
[图2]

【図3】

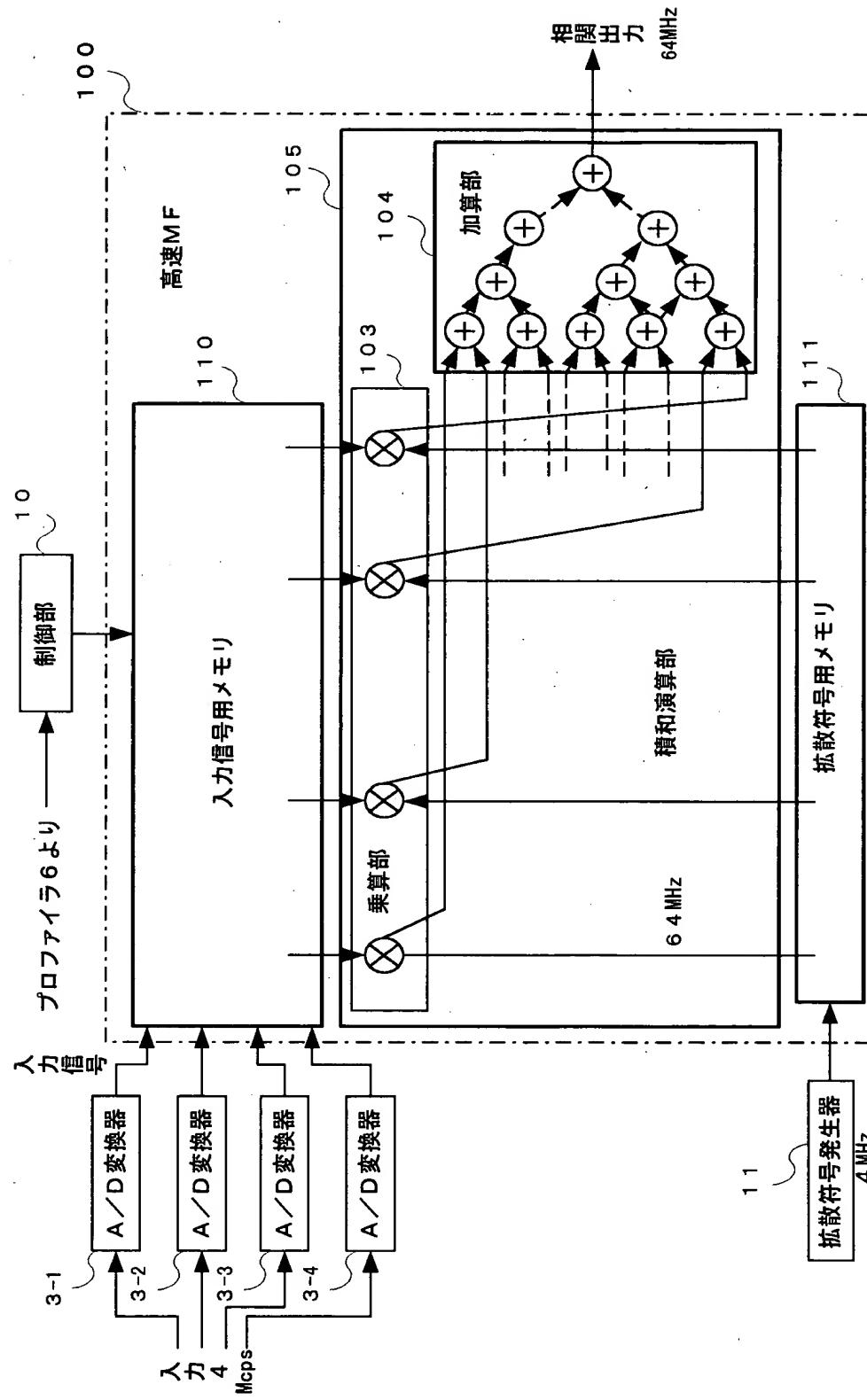


31

【図4】

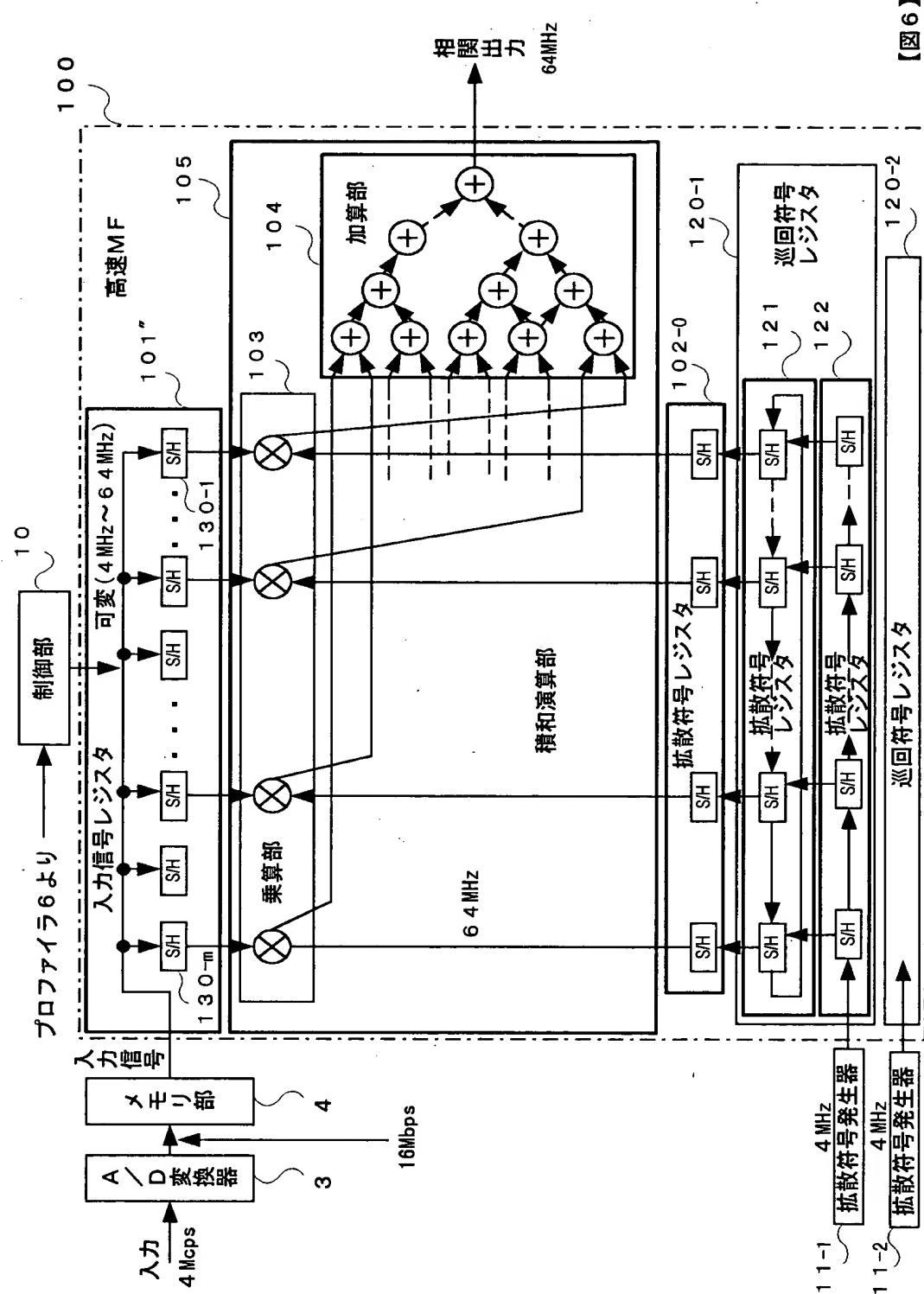


【図5】

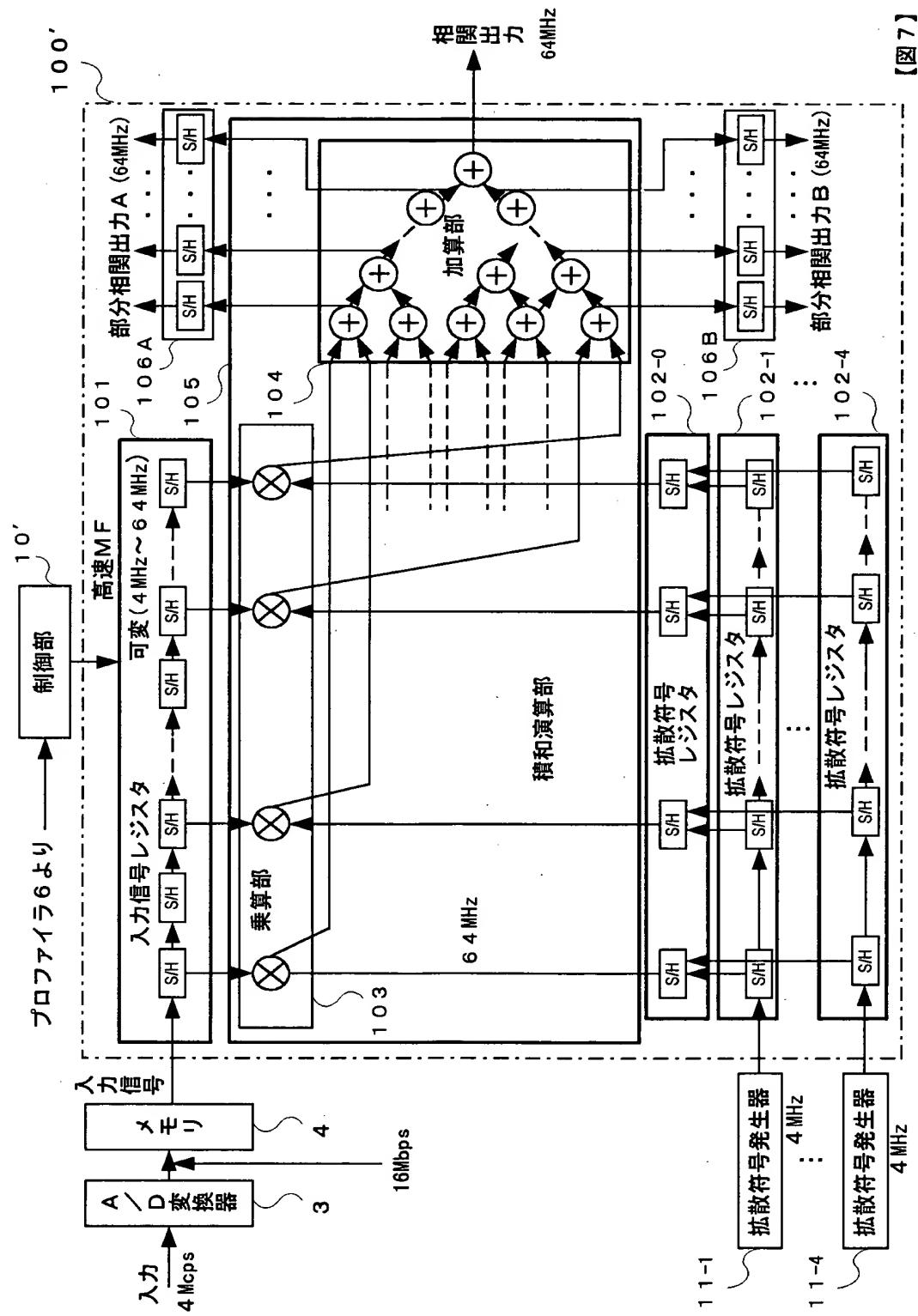


【図5】

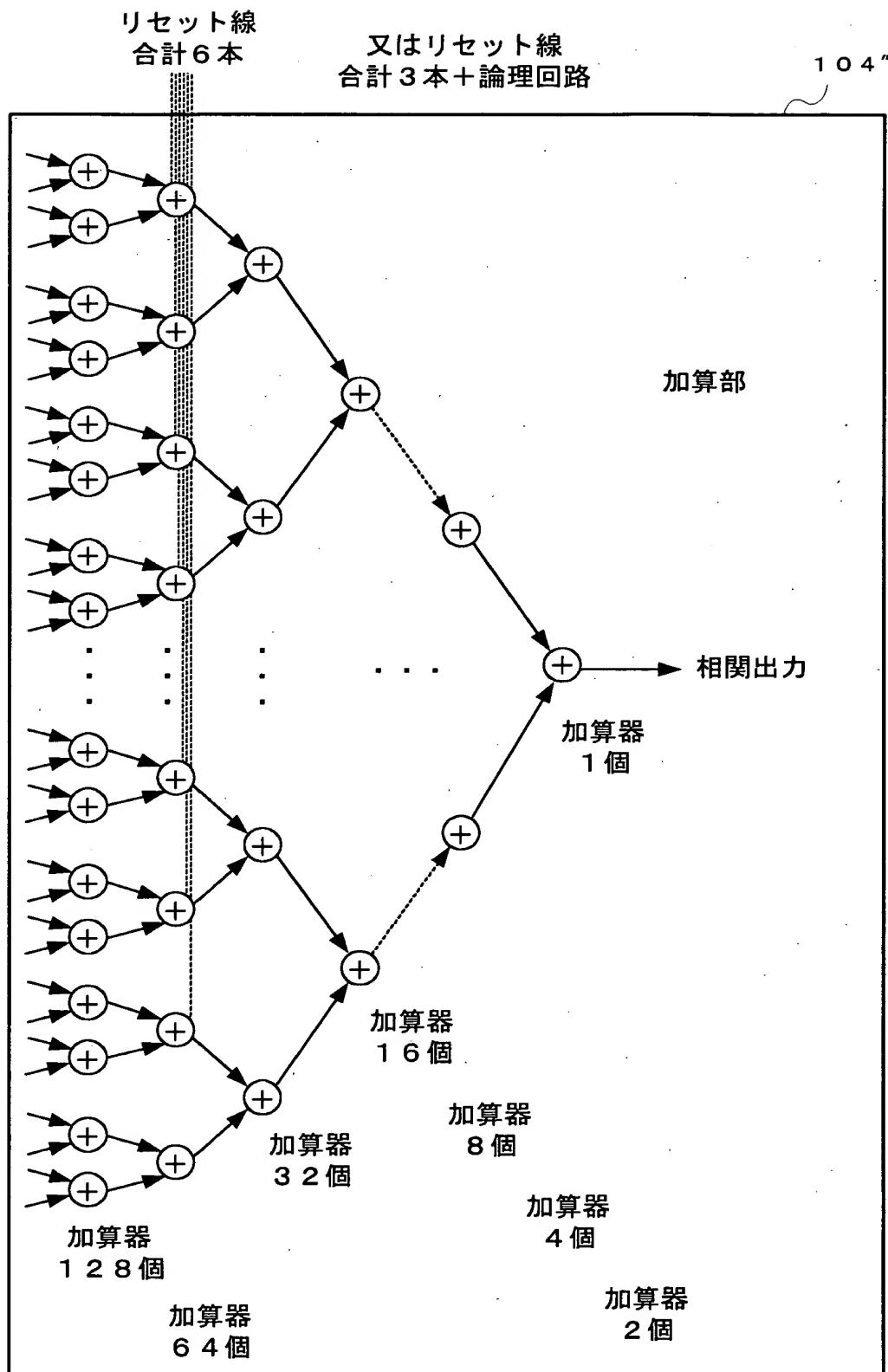
## 【図6】



【図7】

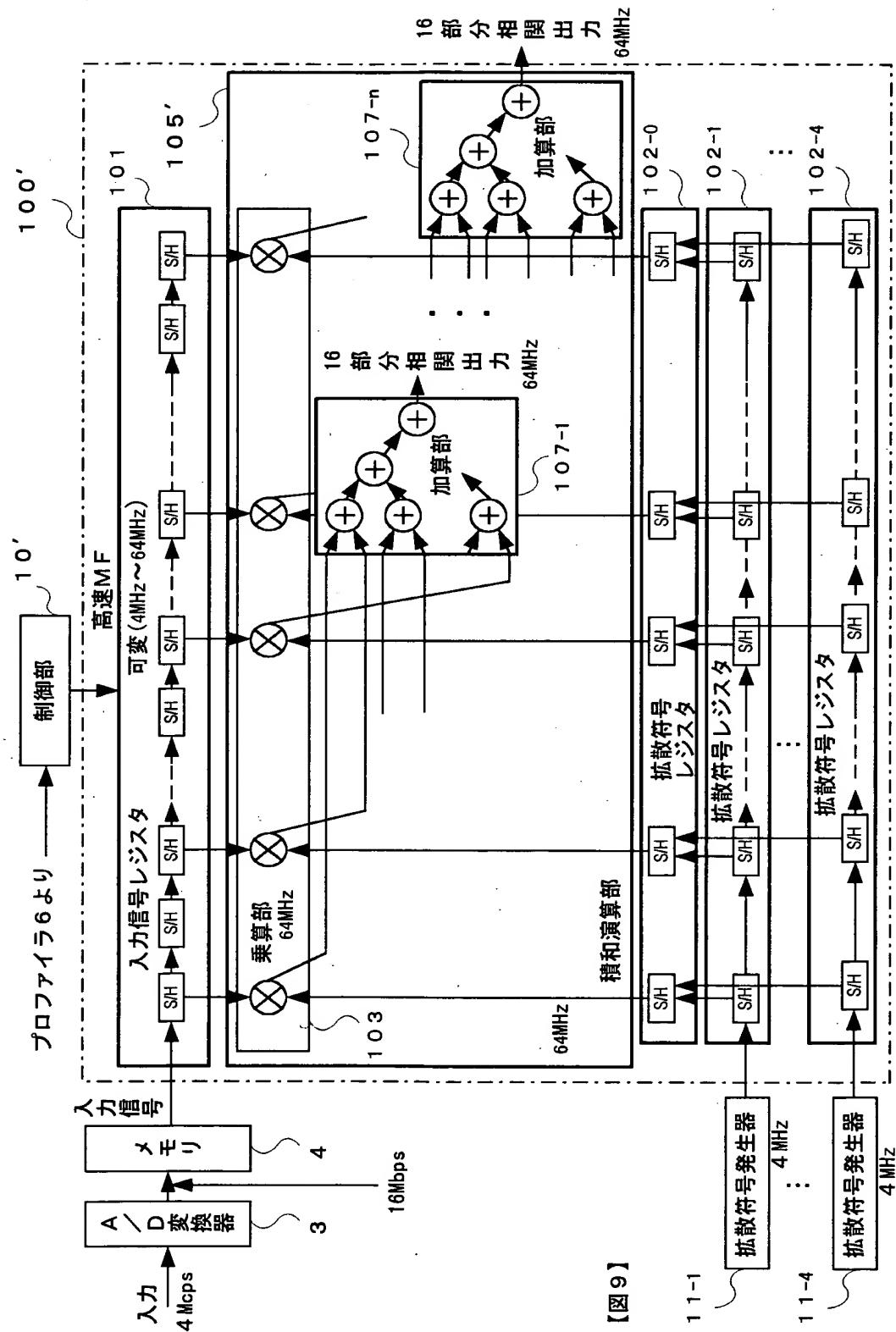


【図8】

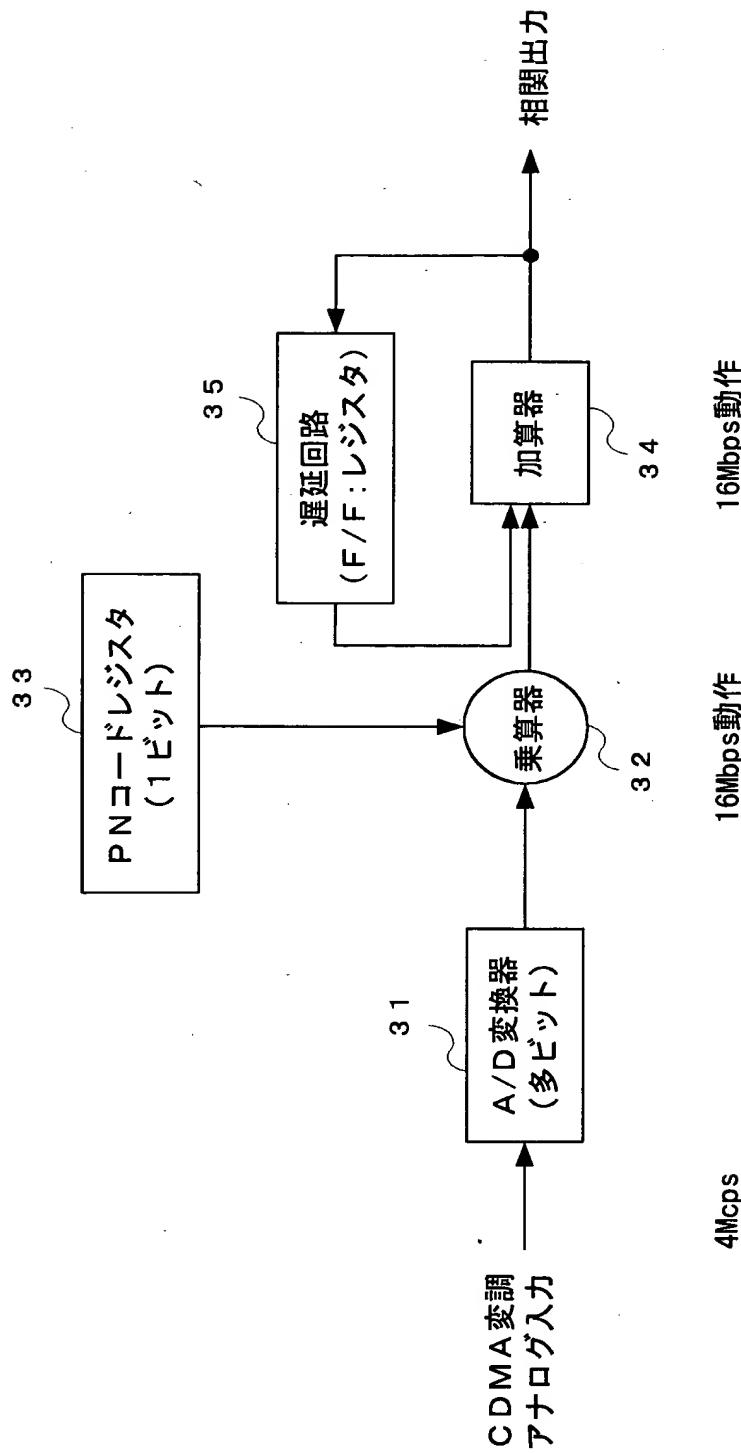


【図8】

【図9】

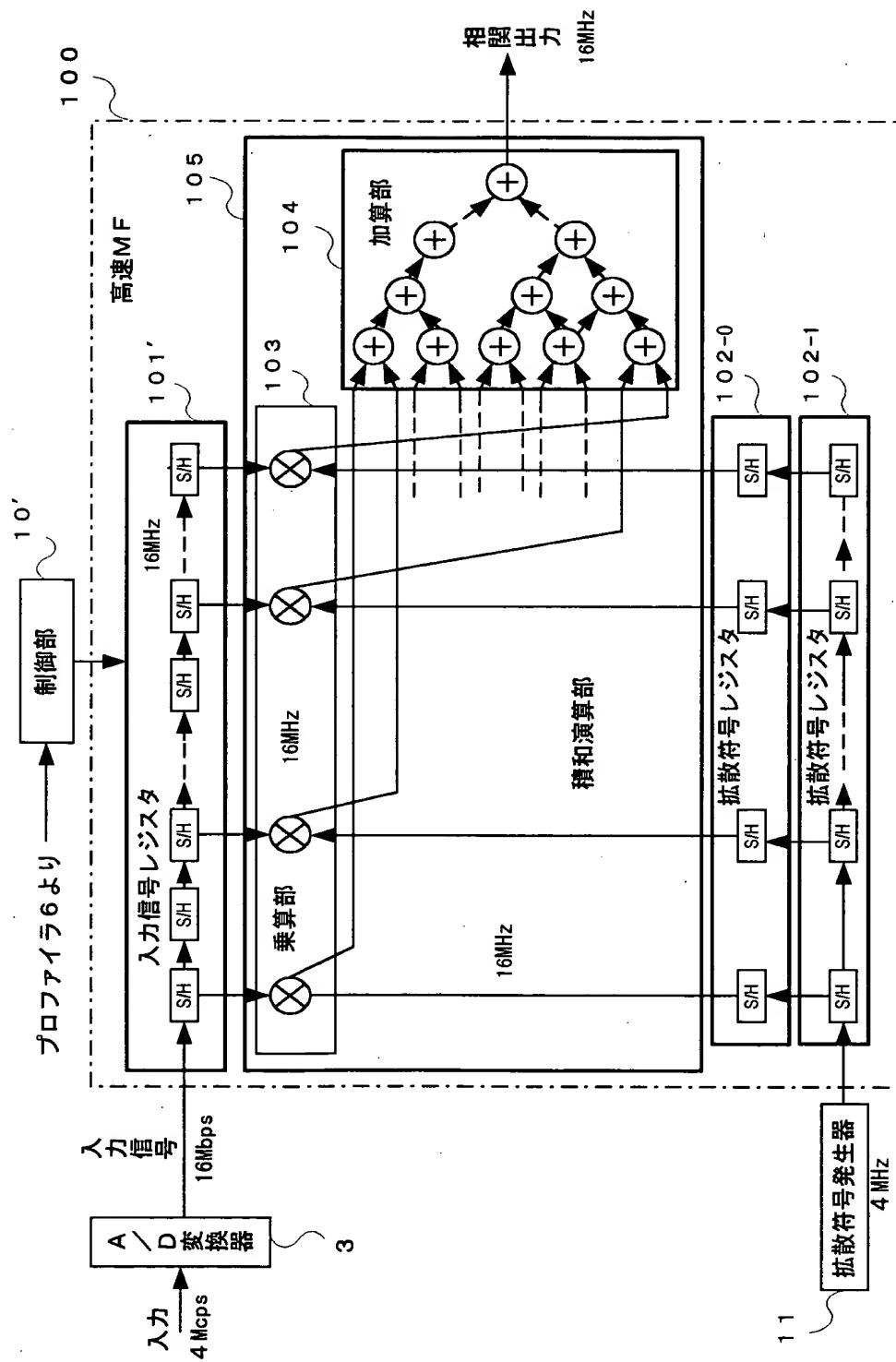


【図10】

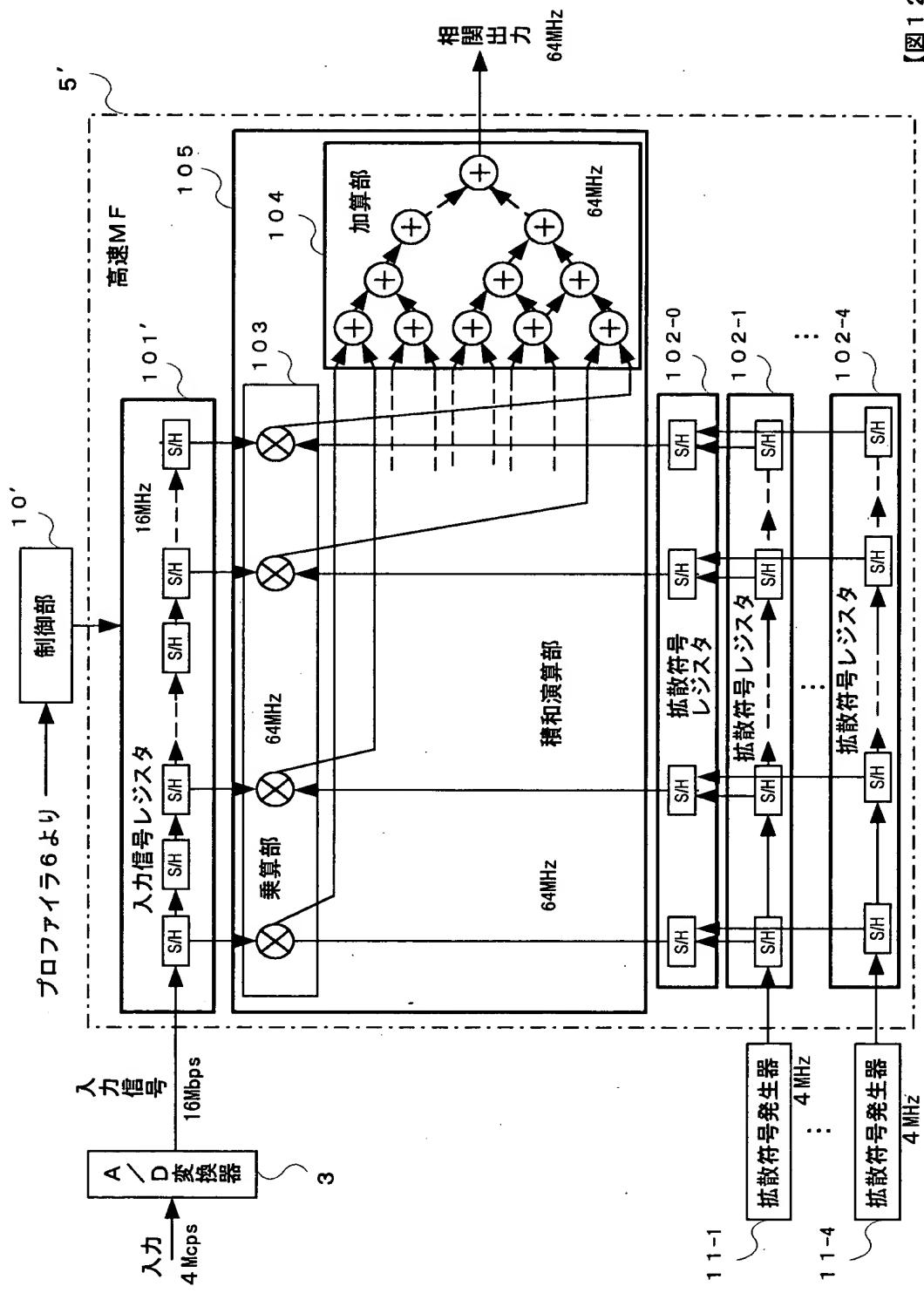


【図10】

【図11】

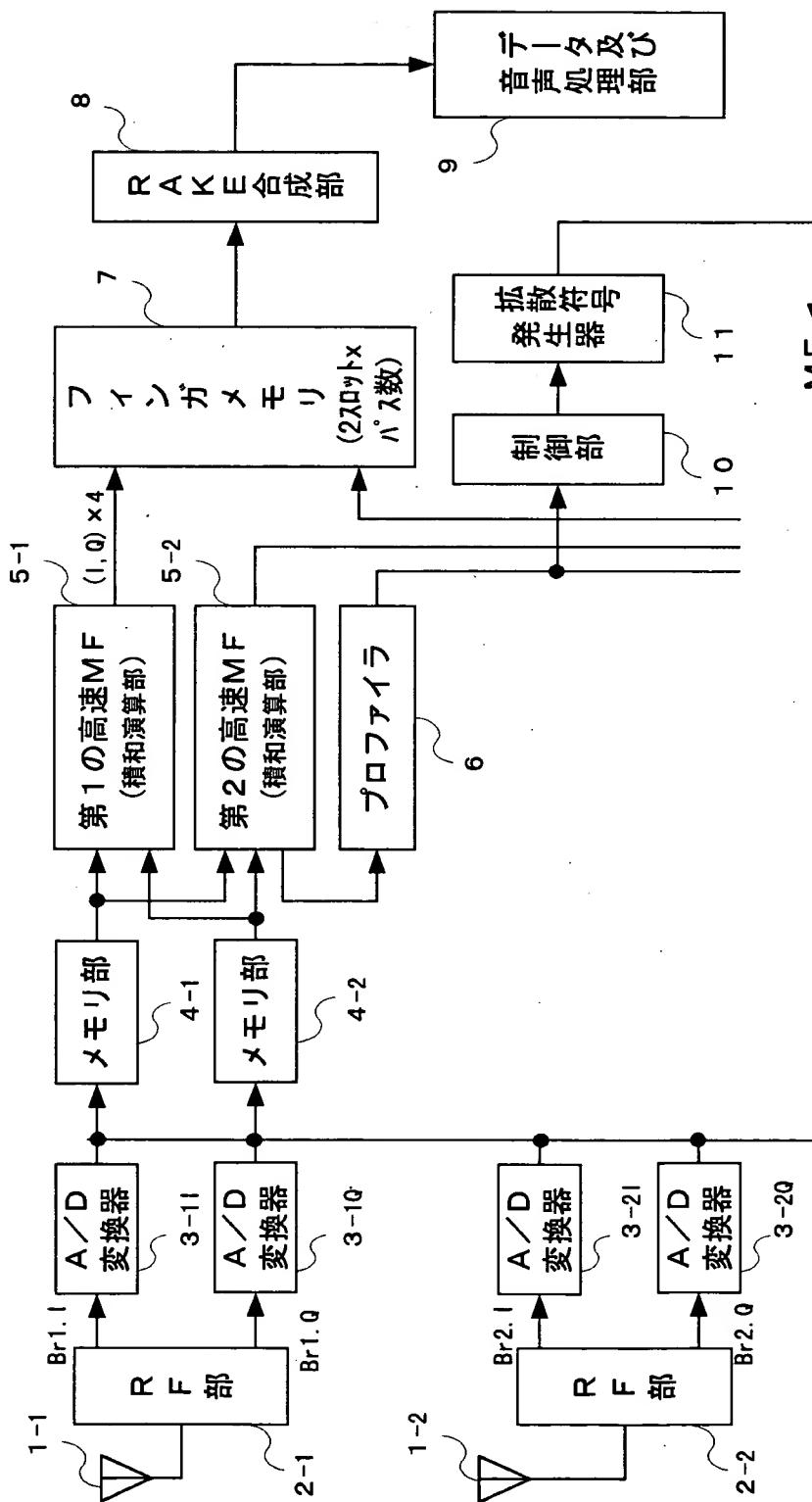


【図12】



【図12】

【図13】



【図13】

【書類名】 要約書

【要約】

【課題】 従来のスペクトル拡散信用相関回路は、同一位相に積和演算処理能力以上のユーザが重なった場合に処理できないという問題点があったが、本発明は、構成を増大することなく復調位相の重なった積和演算処理能力以上のユーザの復調を可能にするスペクトル拡散信用相関回路を提供する。

【解決手段】 制御部10が、メモリ部4からの入力信号の同一位相に複数ユーザが特定数より多く存在する場合に、積和演算部105における複数の全てのユーザに対する積和演算が完了するのに十分な時間保持するよう、入力信号レジスタ101における1サンプルのシフトの転送速度を制御するスペクトル拡散信用相関回路である。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-104288
受付番号	50100488549
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 4月 4日

＜認定情報・付加情報＞

【提出日】 平成13年 4月 3日

次頁無

出願人履歴情報

識別番号 [000001122]

1. 変更年月日 2001年 1月11日

[変更理由] 名称変更

住 所 東京都中野区東中野三丁目14番20号  
氏 名 株式会社日立国際電気